



Customer No. 31561  
Application No.: 10/710,906  
Docket No. 11184-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Kao et al.  
Application No. : 10/710,906  
Filed : Aug 12, 2004  
For : MOLD AND METHOD OF MOLDING  
SEMICONDUCTOR DEVICES  
Examiner : N/A  
Art Unit : 1722

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92122061, filed on: 2003/8/12.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

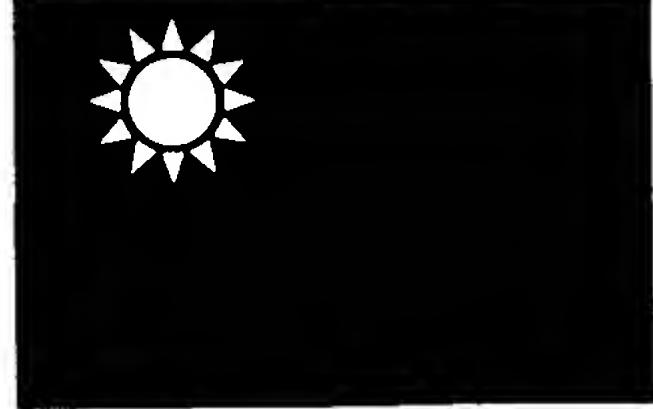
Dated: February 18, 2005

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

**7F-1, No. 100, Roosevelt Rd.,  
Sec. 2, Taipei 100, Taiwan, R.O.C.  
Tel: 886-2-2369 2800  
Fax: 886-2-2369 7233 / 886-2-2369 7234  
E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**

RECEIVED  
APR - 9 2005  
OPIE/JCIP



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 08 月 12 日

Application Date

申請案號：092122061

Application No.

申請人：日月光半導體製造股份有限公司

Applicant(s)

**BEST AVAILABLE COPY**

局長

Director General

蔡練生

發文日期：西元 2004 年 11 月

Issue Date

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文字號：09321025150  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	半導體元件封膠模具、封膠方法及封裝基材
	英文	MOLD AND METHOD FOR MOLDING SEMICONDUCTOR DEVICES
二、 發明人 (共2人)	姓名 (中文)	1. 高仁傑
	姓名 (英文)	1. Jen-Chieh Kao
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市苓雅區德安街7巷5號5樓之1
	住居所 (英 文)	1. 5F1. -1, No. 5, Lane 7, Dean St., Lingya Chiu, Kaohsiung, Taiwan 802, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
代表人 (中文)	1. 張虔生	
代表人 (英文)	1. Chien-Sheng Chang	

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 余國寵
	姓 名 (英文)	2. Kuo-Chung Yee
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北市文山區木新路3段172巷2弄7號3樓
	住居所 (英 文)	2. 3F1., No. 7, Alley 2, Lane 172, Sec. 3, Mushin Rd., Wenshan Chiu, Taipei, Taiwan 116, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
代表人 (英文)		



四、中文發明摘要 (發明名稱：半導體元件封膠模具、封膠方法及封裝基材)

一種半導體元件封膠模具，以對一封裝基材上的半導體元件進行封膠，此半導體元件封膠模具主要係由一上模以及一下模所構成。其中，上模具有一上澆道、至少一第一擬澆道以及多個模穴，第一擬澆道與上澆道連通，並由上澆道延伸於各個模穴之間，而模穴分別與上澆道連通，且模穴的位置係對應於半導體元件。下模具有一下澆道以及至少一第二擬澆道，第二擬澆道與下澆道連通，上澆道係隔著封裝基材位於下澆道上方。

伍、(一)、本案代表圖為：第\_\_\_\_4\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

100：上模	200：封裝基材	200a：第一表面
200b：第二表面	202：半導體元件	204：封裝膠體
206：第一縱向肋	208：第一橫向肋	210：第二縱向肋
212：第二橫向肋	214：第一縱向溝槽	

六、英文發明摘要 (發明名稱：MOLD AND METHOD FOR MOLDING SEMICONDUCTOR DEVICES)

A mold for molding semiconductor devices mounted on a package substrate comprises a top mold and a bottom mold. A top runner, at least a first dummy runner and a plurality of cavities are formed on the top mold. The first dummy runner connects with the top runner and elongates between the cavities. The cavities corresponding to the semiconductor devices connect with the top runner



四、中文發明摘要 (發明名稱：半導體元件封膠模具、封膠方法及封裝基材)

216：第一橫向溝槽 218：第二縱向溝槽 220：第二橫向溝槽  
300：下模

六、英文發明摘要 (發明名稱：MOLD AND METHOD FOR MOLDING SEMICONDUCTOR DEVICES)

respectively. A bottom runner and at least a second dummy runner are formed on the bottom mold. The second dummy runner separated from the first dummy runner by the package substrate connects with the bottom runner.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

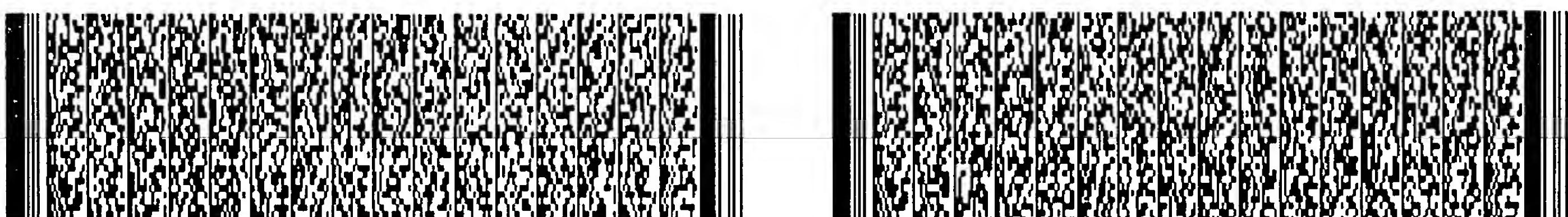
### 發明所屬之技術領域

本發明是有關於一種半導體元件封膠模具及封膠方法，且特別是有關於一種能夠避免封裝體翹曲(warp)之半導體元件封膠模具及封膠方法。

### 先前技術

近年來由於多媒體的蓬勃發展，數位影像使用愈趨頻繁，相對應許多影像處理裝置的需求也愈來愈多。現今許多數位影像產品，包括電腦數位攝影機(PC digital video camera)，數位照相機(digital camera)，甚至光學掃描器(scanner)及影像電話等，皆是藉由影像感測晶片(image sensor)來擷取影像。影像感測晶片包括電荷耦合元件(Charge Coupled Device, CCD)及互補式金氧半導體感測元件(CMOS sensor)等，可以靈敏地接收影像所發出之光線，並將其轉換為數位訊號。由於這些光學元件(optical device)需要接收光源，因此其封裝方式與一般電子產品有所不同。

傳統光學元件所使用的封裝技術與構造大部分以陶瓷(ceramic)構裝為主，如陶瓷無接腳承載器(Ceramic Leadless Chip Carrier, CLCC)等，因為陶瓷的散熱及防濕性效果較佳，所以產品的可靠性高，一般均使用在軍用及工業級的製品上。然而，由於電子產業進步迅速，光學元件也愈來愈廣泛地被應用於商用及消費性製品中，但是這些消費性感測器產品由於使用陶瓷構裝，具有高成本的缺點。而在一般商用及消費性的應用上，可靠性



## 五、發明說明 (2)

(reliability) 的要求並不需要太高，只要能符合塑膠封裝產品的需求即可。因此，習知技術將一般封裝用之塑膠基材應用於光學元件的封裝上，且為了避免光學元件的光學特性受到影響，其在封裝時多採用透明的封裝材料。然而，此類封裝在封裝材料進行灌模後冷卻的過程中，常會導致塑膠基板甚至整著封裝體翹曲，進而影響到封裝後光學元件的光學特性。

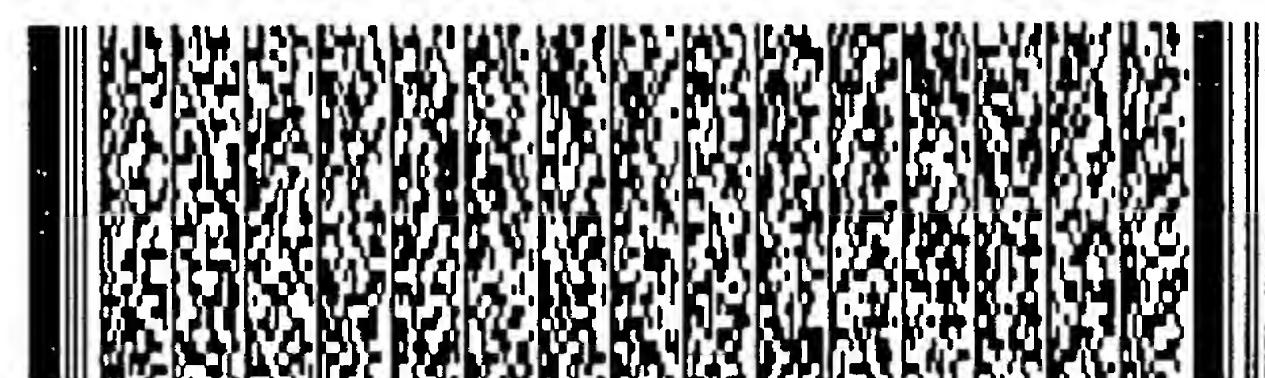
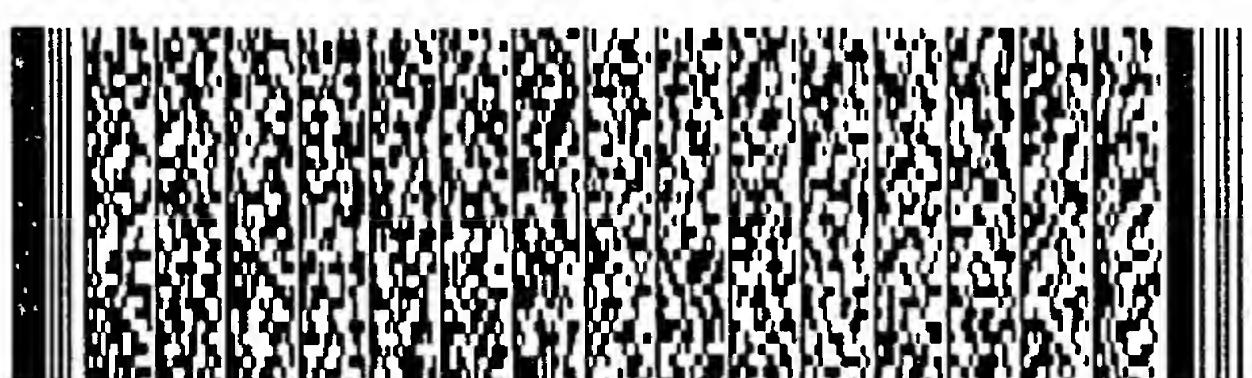
基於目前市場競爭的強大壓力及成本降低的觀念要求下，如何降低感測器的構裝成本，又能維持良好的產品品質與可靠性，更是重要的課題。

### 發明內容

因此，本發明的目的就是在提供一種半導體元件封膠模具，其藉由上、下模的擬澆道的設計來改善封裝材料在冷卻硬化之過程中所導致的翹曲現象。

本發明的另一目的是提供一種半導體元件封膠方法，其藉由在封裝基材上製作縱向肋與橫向肋以改善封裝材料在冷卻硬化之過程中所導致的翹曲現象。

為達上述目的，本發明提出一種半導體元件封膠模具，以對一封裝基材上的半導體元件進行封膠，此半導體元件封膠模具主要係由一上模以及一下模所構成。其中，上模具有一上澆道、至少一第一擬澆道以及多個模穴，第一擬澆道與上澆道連通，並由上澆道延伸於各個模穴之間，而模穴分別與上澆道連通，且模穴的位置係對應於半導體元件。下模具有一下澆道以及至少一第二擬澆道，第



## 五、發明說明 (3)

二擬澆道與下澆道連通，上澆道係隔著封裝基材位於下澆道上方。此外，第一擬澆道係隔著封裝基材位於第二擬澆道上方，而第一擬澆道的延伸方向例如係垂直於上澆道的延伸方向，且第二擬澆道的延伸方向例如係垂直於下澆道的延伸方向。

本發明之較佳實施例中，各個模穴例如係以陣列方式排列於上模上，且具有相同尺寸。另外，模穴的尺寸例如係足以容納一個或是多個半導體元件。

本發明之較佳實施例中，上模例如具有多個與模穴相連通之第一擬模穴。另外，上模例如更具有多個與上澆道相連通的第二擬模穴。

本發明之較佳實施例中，模具例如具有一罐部，此罐部係與上模中的上澆道以及下模中的下澆道連通。其例如係由上模中的一第一腔體以及下模中的一第二腔體所構成。

為達上述目的，本發明提出一種半導體元件封膠方法，首先提供一封裝基材，此封裝基材具有一第一表面以及一第二表面，且封裝基材之第一表面上具有一個半導體元件。接著將封裝基材置於一模具中，並將一封裝材料灌入此模具中，以於封裝基材之第一表面上形成多個封裝膠體，同時於封裝基材之第一表面上形成至少一第一縱向肋及至少一第一橫向肋，於封裝基材之第二表面上形成至少一第二縱向肋及至少一第二橫向肋。

本發明之較佳實施例中，在將封裝基材置於一模具之



## 五、發明說明 (4)

前，例如可於封裝基材之第一表面上形成至少一第一縱向溝槽與至少一第一橫向溝槽，以與第一縱向肋及第一橫向肋對應。

本發明之較佳實施例中，在將封裝基材置於一模具之前，例如可於封裝基材之第二表面上形成至少一第二縱向溝槽與至少一第二橫向溝槽，以與第二縱向肋及第二橫向肋對應。

本發明於模具之上、下模中設計擬澆道，故可有效改善封裝材料在冷卻硬化之過程中所導致的翹曲現象。另外，本發明在封裝基材上製作縱向肋與橫向肋，同樣可以改善封裝材料在冷卻硬化之過程中所導致的翹曲現象。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

### 實施方式

#### 第一實施例

第1A圖繪示為依照本發明第一實施例半導體元件封膠模具之上模示意圖，而第1B圖繪示為第1A圖之上模與封裝基材之間的相對關係示意圖。請同時參照第1A圖與第1B圖，本實施例之半導體元件封膠模具主要係由一上模100以及一下模300（繪示於第2A圖）所構成，其係用以對一封裝基材200上的半導體元件202進行封膠。本實施例中，上模100具有一上澆道102、一個或多個第一擬澆道104、多個模穴106、多個第一擬模穴108、多個第二擬模穴



## 五、發明說明 (5)

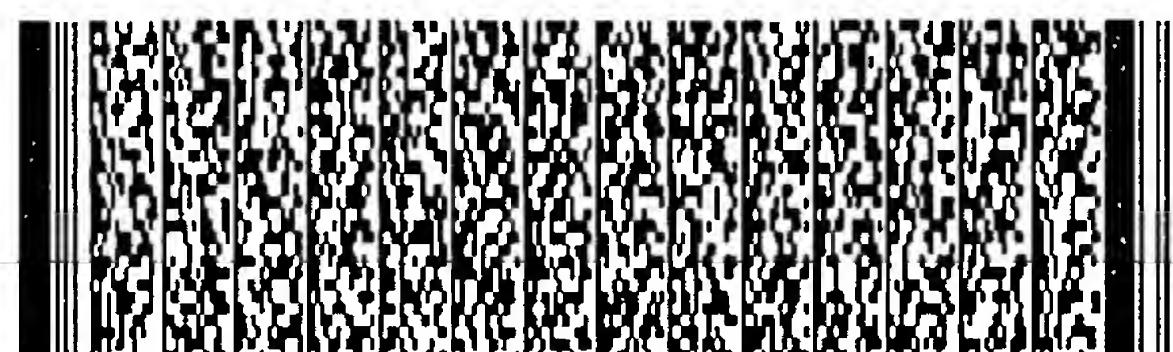
110，以及一第一腔體112。

第一擬澆道104係與上澆道102連通，且第一擬澆道104係由上澆道102延伸於各個模穴106之間。換言之，第一擬澆道104的延伸方向例如係垂直於上澆道102的延伸方向。由於第一擬澆道104與上澆道102的延伸方向不同，因此可以有效避免封裝基材200在進行封膠之後產生翹曲的現象，有關其抑制翹曲的部分將於第3圖詳述。

由第1A圖可知，為了避免灌模時產生溢膠的現象(flush)，本實施例於上模100上製作出一些第一擬模穴108，這些第一擬模穴108係與模穴106相連通，且以模流的角度，第一擬模穴108係位於模穴106之後的模流路徑上。另外，本實施例亦於上模100上製作出一些第二擬模穴110，這些第二擬模穴110係與上澆道102相連通，且其目的及作用與第一擬模穴108相當。

請參照第1A圖與第2A圖，本實施例之上模100更具有一第一腔體112，此第一腔體112例如係與上模100中的上澆道102相連通，而下模300更具有一第二腔體306，此第二腔體306例如係與下模300中的下澆道302相連通，且第二腔體306的位置係對應於第一腔體112的下方。值得注意的是，上模100中的第一腔體112與下模300中的第二腔體306即構成整個模具的罐部(pot)，此罐部能夠與上模100中的上澆道102以及下模300中的下澆道302連通，以將封裝材料灌入模具中。

由第1B圖可知，本實施例中的各個模穴106分別與上



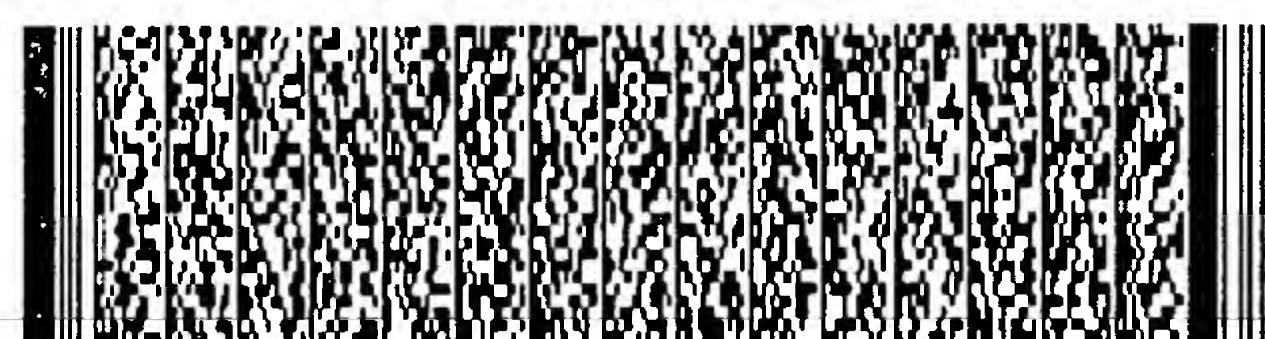
## 五、發明說明 (6)

澆道102連通，上模100中模穴106的分佈位置例如係對應於半導體元件202的分佈位置，且每個模穴106皆具有相同的尺寸，並足以容納一個半導體元件202。換言之，當半導體元件202係以陣列方式設置(mount)於封裝基材200上時，這些模穴106亦會以陣列方式排列於上模100上。

第2A圖繪示為依照本發明第一實施例半導體元件封膠模具之下模示意圖，而第2B圖繪示為第2A圖之下模與封裝基材之間的相對關係示意圖。請同時參照第2A圖與第2B圖，下模300具有一下澆道302以及一個或多個第二擬澆道304，且第二擬澆道304係與下澆道302相連通。

由第1B與第2B圖可知，上澆道102係隔著封裝基材200位於下澆道302的上方，且第一擬澆道104係隔著封裝基材200位於第二擬澆道304的上方，下模300中第二擬澆道304的延伸方向例如係垂直於下澆道302的延伸方向。換言之，由於第二擬澆道304與下澆道302的延伸方向不同，其同樣具有抑制封裝基材200翹曲的功能。

第3圖繪示以第一實施例之模具進行封膠後之示意圖，而第4圖繪示為第3圖中沿著I-I'剖面線之剖面示意圖。請同時參照第3圖與第4圖，本實施例之封膠方法係先提供一封裝基材200，此封裝基材200具有一第一表面200a以及一第二表面200b，且封裝基材200之第一表面200a上具有一個半導體元件202。接著將封裝基材200置於一由上模100與下模300所構成之模具中，並將一封裝材料灌入上模100與下模300之間，以於封裝基材200之第一表面200a



## 五、發明說明 (7)

上形成多個封裝膠體204，同時於封裝基材200之第一表面200a上形成一條或多條的第一縱向肋206及一條或多條的第一橫向肋208，並於封裝基材200之第二表面200b上形成一條或多條的第二縱向肋210及一條或多條的第二橫向肋212。

值得注意的是，上述之第一縱向肋206例如係將封裝材料灌入上模100的上澆道102中所形成，第一橫向肋208例如係將封裝材料灌入上模100的第一擬澆道104中所形成，第二縱向肋210例如係將封裝材料灌入下模300的下澆道302中所形成，而第二橫向肋212例如係將封裝材料灌入下模300的第二擬澆道302中所形成。另外，本實施例在將封裝基材200置於上模100與下模300之間前，例如可於封裝基材200之第一表面200a上形成一條或是多條第一縱向溝槽214以及一條或是多條第一橫向溝槽216，以與第一縱向肋206及第一橫向肋208對應。此設計將使得第一縱向肋206及第一橫向肋208與封裝基材200之間的接合(adhesion)更趨完善。

承上述，本實施例在將封裝基材200置於上模100與下模300之間前，亦可於封裝基材200之第二表面200b上形成一條或是多條第二縱向溝槽218與一條或是多條第二橫向溝槽220，以與第二縱向肋210及第二橫向肋212對應。如此設計同樣可以使得第二縱向肋210及第二橫向肋212與封裝基材200之間的接合更趨完善。

同樣請參照第3圖與第4圖，本實施例可應用在不同基



## 五、發明說明 (8)

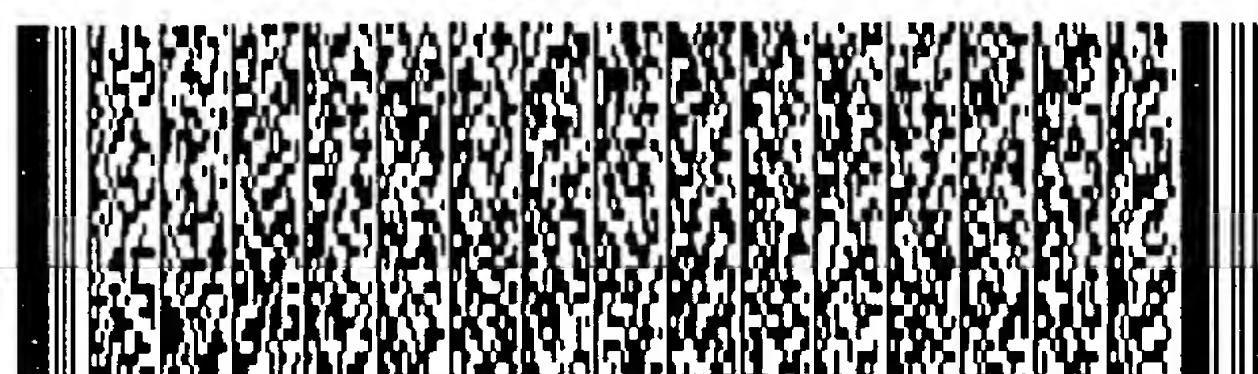
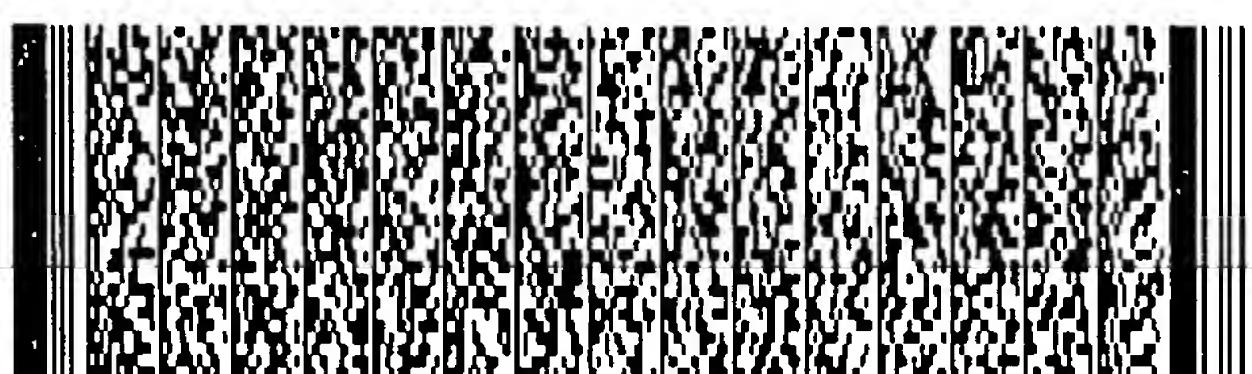
材型態(substrate type)的封裝體中，本實施例以下僅以光學元件的封裝為例進行說明，但並非限定本發明之應用範圍僅止於光學元件的封裝。

為了顧及光學元件在封裝後的光學特性，封裝膠體204的表面通常必須為鏡面，然而，一般模具在加工上若要將每一個模穴側壁加工成鏡面勢必耗費相當大的成本，且可行性有待商榷。因此，一般常見的作法會採用鏡面頂針(pin)400與模具之上模100搭配，以將封裝膠體204的特定表面形成鏡面即可。

在使用本實施例之模具進行封膠之後，封裝基材200的翹曲程度可降低許多，惟上模100中的模穴106分佈與半導體元件202一致，故所需使用的鏡面頂針400數量亦與半導體元件202相同，由於鏡面頂針400的造價並不便宜，因此在製作成本上仍有降低的空間，以下將以第二實施例對如何降低成本進行說明。

## 第二實施例

第5A圖繪示為依照本發明第二實施例半導體元件封膠模具之上模示意圖，而第5B圖繪示為第5A圖之上模與封裝基材之間的相對關係示意圖。請同時參照第5A圖與第5B圖，本實施例之上模100與第一實施例相近，惟其差異之處在於上模100中模穴106與半導體元件202之間的相對關係，本實施例中，模穴106的尺寸係足以容納一個或是多個半導體元件202，且模穴106的數量減少。另外一個不同點在於第一擬澆道104的數量與分佈位置。



## 五、發明說明 (9)

第6A圖繪示為依照本發明第二實施例半導體元件封膠模具之下模示意圖，而第6B圖繪示為第6A圖之下模與封裝基材之間的相對關係示意圖。請同時參照第6A圖與第6B圖，本實施例之下模300與第一實施例相近，惟其差異之處在於第二擬澆道304的數量與分佈位置。

第7圖繪示以第二實施例之模具進行封膠後之示意圖。請同時參照第3圖與第7圖，與第3圖相較，本實施例所需使用的鏡面頂針400數量較少，意即，多個半導體元件202在封膠過程中係共用一個鏡面頂針400，如此設計將可大幅降低鏡面頂針400在製作上的成本負擔，但由於第一擬澆道104與第二擬澆道304的數量減少，使得封裝體的翹曲程度稍稍劣化。因此，任何熟習此項技術者在參照本發明上述二實施例之後應知，吾人可將鏡面頂針400與第一擬澆道104與第二擬澆道304的數量作一最佳化的組合，以兼顧封裝的性賴性(reliability)與封裝成本。

## 第三實施例

第8A圖至第8C圖繪示為本發明第三實施例上模、封裝基材與下模的結構示意圖。請同時參照第8A圖至第8C圖，本實施例中，上模100的設計大致上與第二實施例相同，故於此不再贅述。然而，本實施例之下模300（繪示於第8C圖）與封裝基材500（繪示於第8B圖）則有不同之設計，將詳述如下。

本實施例中，下模300上僅具有第二擬澆道304，其省去了下澆道302與第二腔體306的製作，原因在於封裝基材



## 五、發明說明 (10)

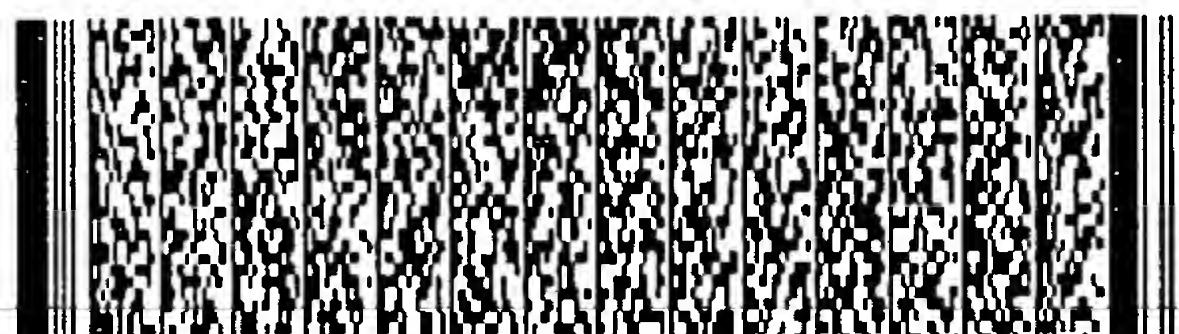
500 對應於第一擬澆道 104 以及第二擬澆道 304 的位置上製作有開口 502，這些開口 502 係用以將上模 100 的第一擬澆道 104 與下模 300 的第二擬澆道 304 連通，因此，在進行灌模時，封裝膠材可透過第一腔體 112、上澆道 102、第一擬澆道 104 以及開口 502 而灌入第一擬澆道 104。

承上述，本實施例亦可省略上模 100 中第一擬澆道 104 的製作，然而，為了使封裝膠體能夠透過開口 502 灌入第一擬澆道 104，可調整開口 502 的位置，使其部分或全部位在模穴 106 下方，因此灌入模穴 106 之封裝膠體便可順利地灌入第一擬澆道 104 中。

## 第四實施例

第 9A 圖至第 9C 圖繪示為本發明第四實施例上模、封裝基材與下模的結構示意圖。請同時參照第 9A 圖至第 9C 圖，本實施例與第三實施例相似，惟其差異之處在於：本實施例之下模 300 除了具有第二擬澆道 304 之外，尚具有與第二擬澆道 304 相連通之上澆道 302。另外，本實施例之封裝基材 500 上同時具有開口 502 以及開口 504。其中，開口 502 的位置係對應於第一擬澆道 104 以及第二擬澆道 304，以使第一擬澆道 104 與第二擬澆道 304 相連通，而開口 504 的位置則係對應於上澆道 102 以及下澆道 302，以使上澆道 102 與下澆道 302 相連通。

承上述，在進行灌模時，封裝膠材可透過第一腔體 112、上澆道 102 與開口 504 灌入下澆道 302 中，而流經上澆道 102 以及下澆道 302 之封裝膠體可再進一步透過開口 502



## 五、發明說明 (11)

而灌入第一擬澆道104以及第二擬澆道304中。值得注意的是，開口502允許封裝膠體由第一擬澆道104流入第二擬澆道304中，或是由第二擬澆道304流入第一擬澆道104中。

### 第五實施例

第10A圖至第10C圖繪示為本發明第五實施例上模、封裝基材與下模的結構示意圖。請同時參照第10A圖至第10C圖，本實施例之上模100設計與上述第三實施例相同，而下模300設計與上述第四實施例相同，故於此不再贅述。本實施例之主要變化在於封裝基材500的設計，封裝基材500上除了開口502之外，更製作有開口506，而開口506的位置係對應於上模100中的第一腔體112以及下模300中的第二腔體306。換言之，在進行灌模時，開口506可使第一腔體112與第二腔體306相連通，故封裝膠體可由第一腔體112以及第二腔體306分別灌入上澆道102以及下澆道302中，並進一步灌入第一擬澆道104以及第二擬澆道304中。

在上述第三、第四、第五實施例中，可選擇性地於封裝基材500上製作開口502、開口504或是開口506，這些設計將有利於之後封膠製程的進行。然而，封裝基材500上開口502、開口504與開口506的設計與否以及數量多寡，可視製造者需求而作合理的變化與調整，惟其仍應屬於本發明之精神範疇內。

本發明之半導體元件封膠模具及封膠方法，至少具有下列優點：

1. 上、下模中設計擬澆道，故可有效改善封裝材料在

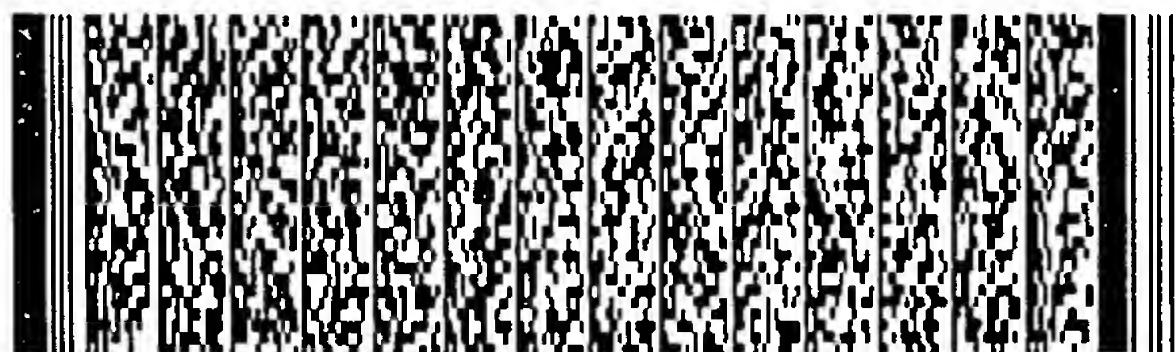


## 五、發明說明 (12)

冷卻硬化之過程中所導致的翹曲現象。

2. 本發明在封裝基材的二表面上製作縱向肋與橫向肋，或是在封裝基材背面設置固定環，故同樣可以改善封裝材料在冷卻硬化之過程中所導致的翹曲現象。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖繪示為依照本發明第一實施例半導體元件封膠模具之上模示意圖；

第1B圖繪示為第1A圖之上模與封裝基材之間的相對關係示意圖；

第2A圖繪示為依照本發明第一實施例半導體元件封膠模具之下模示意圖；

第2B圖繪示為第2A圖之下模與封裝基材之間的相對關係示意圖；

第3圖繪示以第一實施例之模具進行封膠後之示意圖；

第4圖繪示為第3圖中沿著I-I'剖面線之剖面示意圖；

第5A圖繪示為依照本發明第二實施例半導體元件封膠模具之上模示意圖；

第5B圖繪示為第5A圖之上模與封裝基材之間的相對關係示意圖；

第6A圖繪示為依照本發明第二實施例半導體元件封膠模具之下模示意圖；

第6B圖繪示為第6A圖之下模與封裝基材之間的相對關係示意圖；

第7圖繪示以第二實施例之模具進行封膠後之示意圖；

第8A圖至第8C圖繪示為本發明第三實施例上模、封裝基材與下模的結構示意圖；

第9A圖至第9C圖繪示為本發明第四實施例上模、封裝



圖式簡單說明

基材與下模的結構示意圖；以及

第10A圖至第10C圖繪示為本發明第五實施例上模、封裝基材與下模的結構示意圖。

[圖式標示說明]

100：上模

102：上澆道

104：第一擬澆道

106：模穴

108、110：擬模穴

112：第一腔體

200：封裝基材

200a：第一表面

200b：第二表面

202：半導體元件

204：封裝膠體

206：第一縱向肋

208：第一橫向肋

210：第二縱向肋

212：第二橫向肋

214：第一縱向溝槽

216：第一橫向溝槽

218：第二縱向溝槽

220：第二橫向溝槽

300：下模



圖式簡單說明

- 302：下澆道
- 304：第二擬澆道
- 306：第二腔體
- 400：鏡面頂針(pin)
- 500：封裝基材
- 502、504：開口
- 506：開口



## 六、申請專利範圍

1. 一種半導體元件封膠模具，適於對一封裝基材上的複數個半導體元件進行封膠，該半導體元件封膠模具包括：

一上模，具有一上澆道以及複數個模穴，而該些模穴分別與該上澆道連通，且該些模穴的位置係對應於該些半導體元件；以及

一下模，具有至少一第二擬澆道。

2. 如申請專利範圍第1項所述之半導體元件封膠模具，其中該上模更包括至少一第一擬澆道，該第一擬澆道與該上澆道連通，且該第一擬澆道係由該上澆道延伸於該些模穴之間。

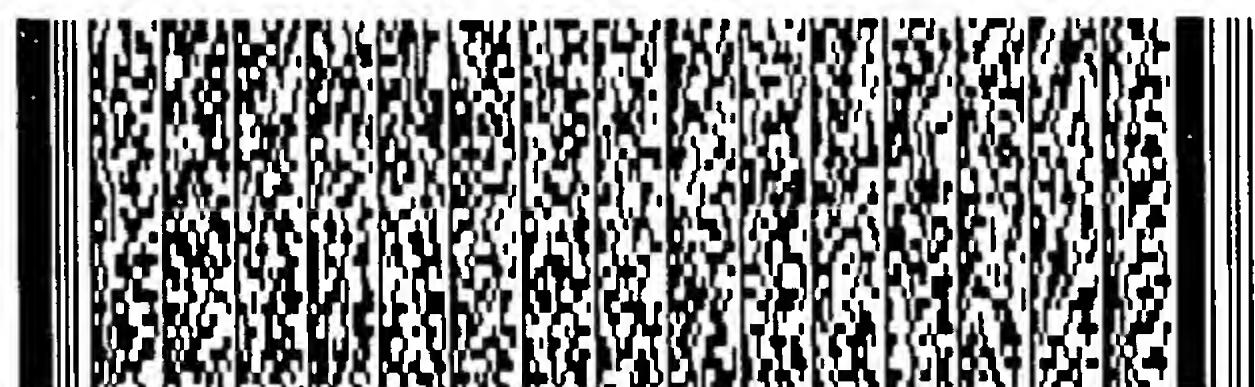
3. 如申請專利範圍第2項所述之半導體元件封膠模具，其中該第一擬澆道係隔著該封裝基材位於該第二擬澆道上方。

4. 如申請專利範圍第2項所述之半導體元件封膠模具，其中該第一擬澆道的延伸方向係垂直於該上澆道的延伸方向。

5. 如申請專利範圍第1項所述之半導體元件封膠模具，其中該下模更包括一下澆道，該下澆道與該第二擬澆道相連通。

6. 如申請專利範圍第5項所述之半導體元件封膠模具，其中該上澆道係隔著該封裝基材位於該下澆道上方。

7. 如申請專利範圍第5項所述之半導體元件封膠模具，其中該第二擬澆道的延伸方向係垂直於該下澆道的延



六、申請專利範圍

伸方向。

8. 如申請專利範圍第1項所述之半導體元件封膠模具，其中每一該些模穴具有相同尺寸，且陣列排列於該上模上。

9. 如申請專利範圍第1項所述之半導體元件封膠模具，其中每一該些模穴係足以容納該些半導體元件至少其中之一。

10. 如申請專利範圍第1項所述之半導體元件封膠模具，其中該上模更包括複數個第一擬模穴，且該些第一擬模穴與該些模穴連通。

11. 如申請專利範圍第1項所述之半導體元件封膠模具，其中該上模更包括複數個第二擬模穴，且該些第二擬模穴與該些上澆道連通。

12. 如申請專利範圍第1項所述之半導體元件封膠模具，更包括一罐部，位於該上模與該下模中，且該罐部係與該上澆道及該下澆道連通。

13. 如申請專利範圍第12項所述之半導體元件封膠模具，其中該罐部係由該上模中的一第一腔體以及該下模中的一第二腔體所構成。

14. 一種半導體元件封膠方法，包括下列步驟：

提供一封裝基材，該封裝基材具有一第一表面以及一第二表面，且該封裝基材之該第一表面上具有複數個半導體元件；

將該封裝基材置於一模具中：以及



## 六、申請專利範圍

將一封裝材料灌入該模具中，以於該封裝基材之該第一表面上形成複數個封裝膠體，同時於該封裝基材之該第一表面上形成至少一第一縱向肋及至少一第一橫向肋，於該封裝基材之該第二表面上形成至少一第二縱向肋及至少一第二橫向肋。

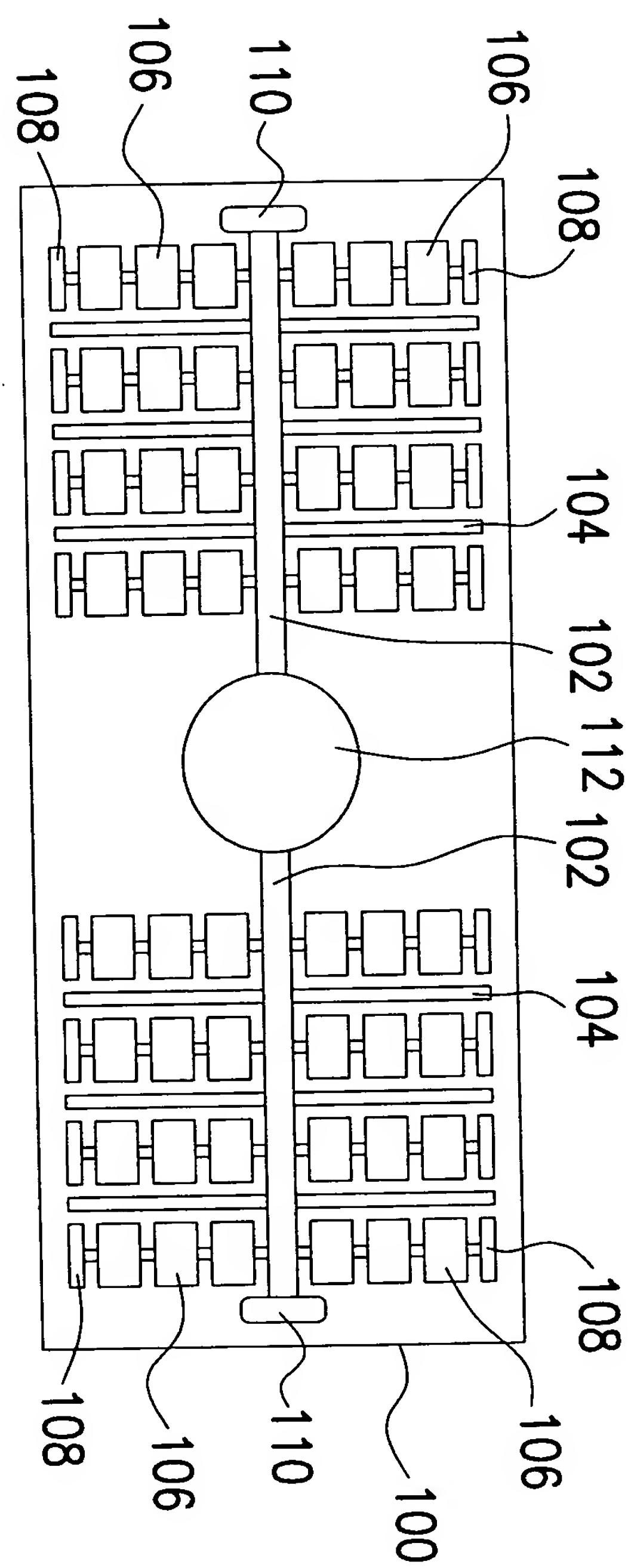
15. 如申請專利範圍第14項所述之半導體元件封膠方法，其中將該封裝基材置於該模具之前，更包括於該封裝基材之該第一表面上形成至少一第一縱向溝槽與至少一第一橫向溝槽，以與該第一縱向肋及該第一橫向肋對應。

16. 如申請專利範圍第14項所述之半導體元件封膠方法，其中將該封裝基材置於該模具之前，更包括於該封裝基材之該第二表面上形成至少一第二縱向溝槽與至少一第二橫向溝槽，以與該第二縱向肋及該第二橫向肋對應。

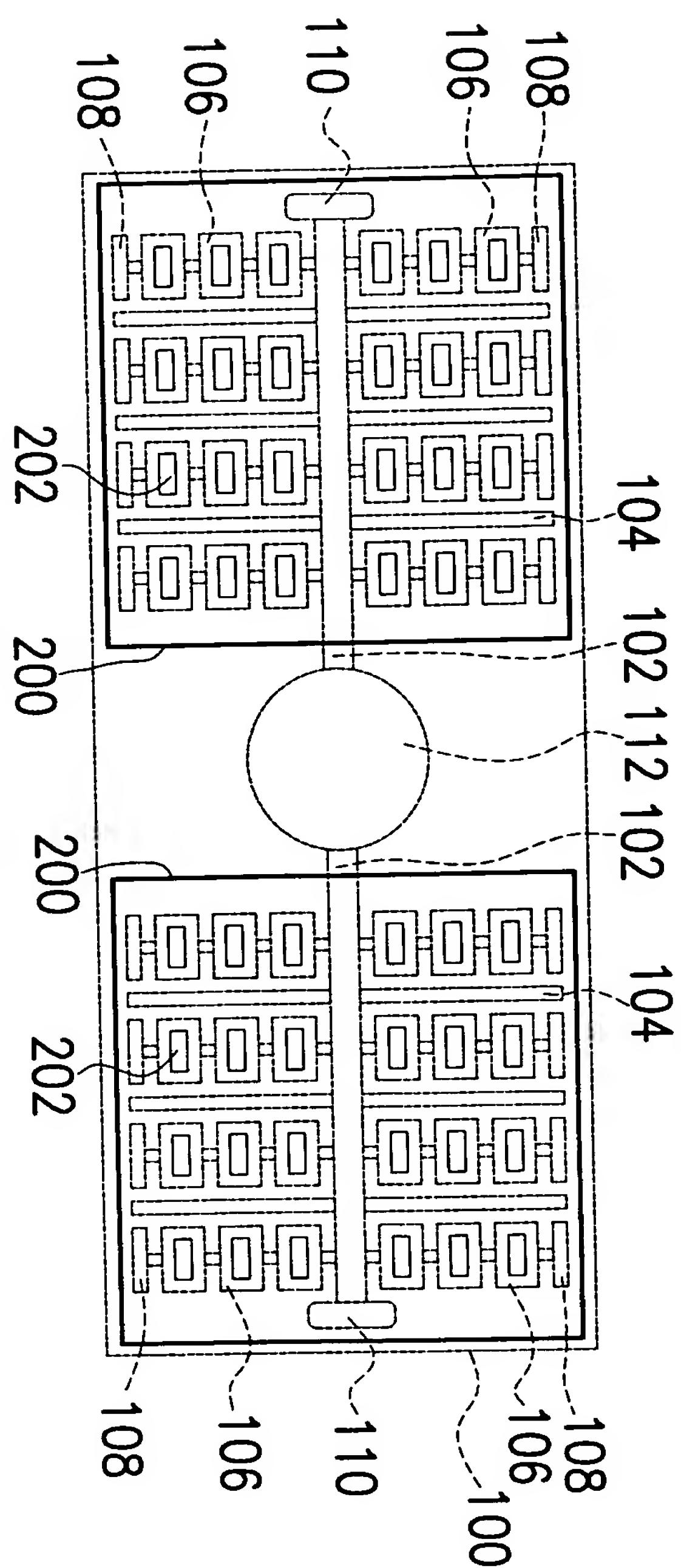
17. 一種封裝基材，適於承載複數個半導體元件，以利該些半導體元件在申請專利範圍第12項之封膠模具中進行封膠作業，其的特徵在於該封裝基材上具有複數個開口，且該些開口的位置係對應於該上澆道、該第二擬澆道以及該罐部至少其中之一。



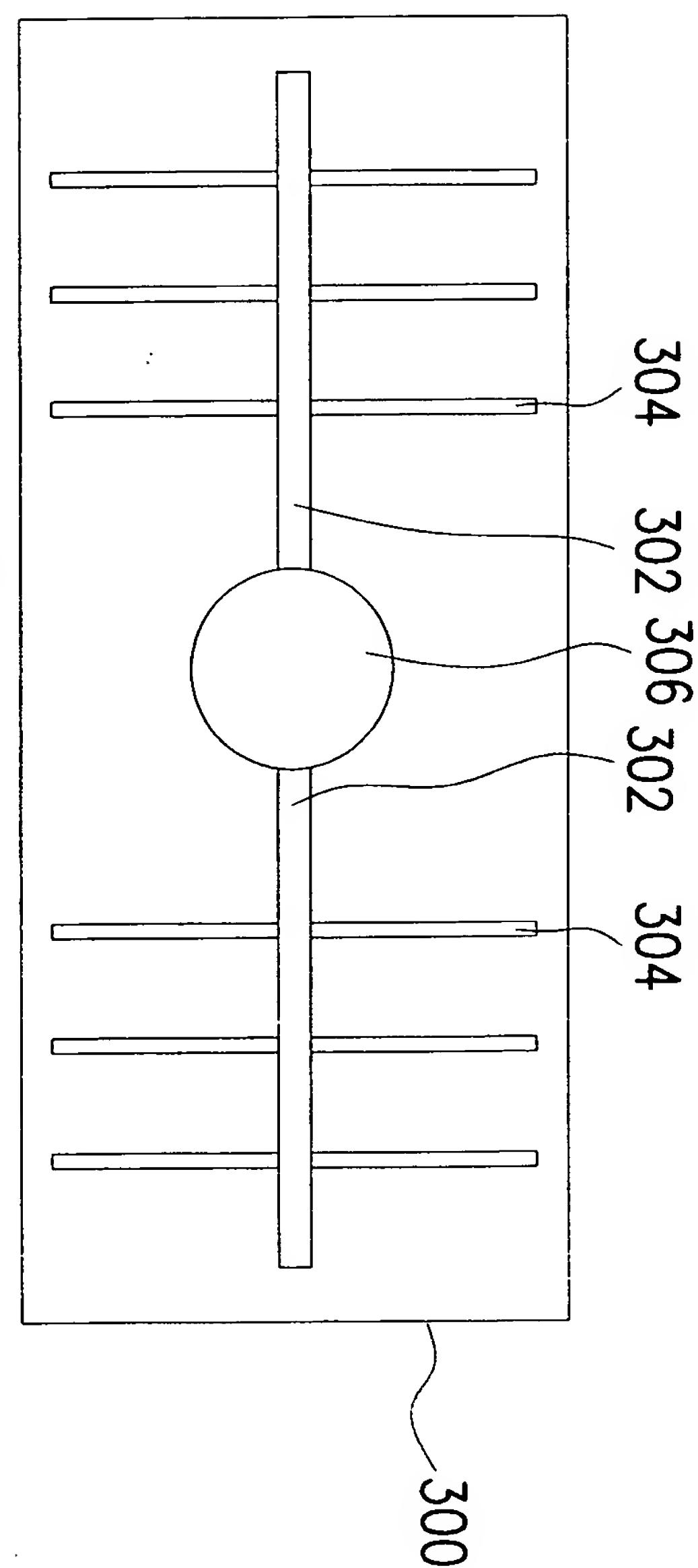
11184TW



第 1A 圖



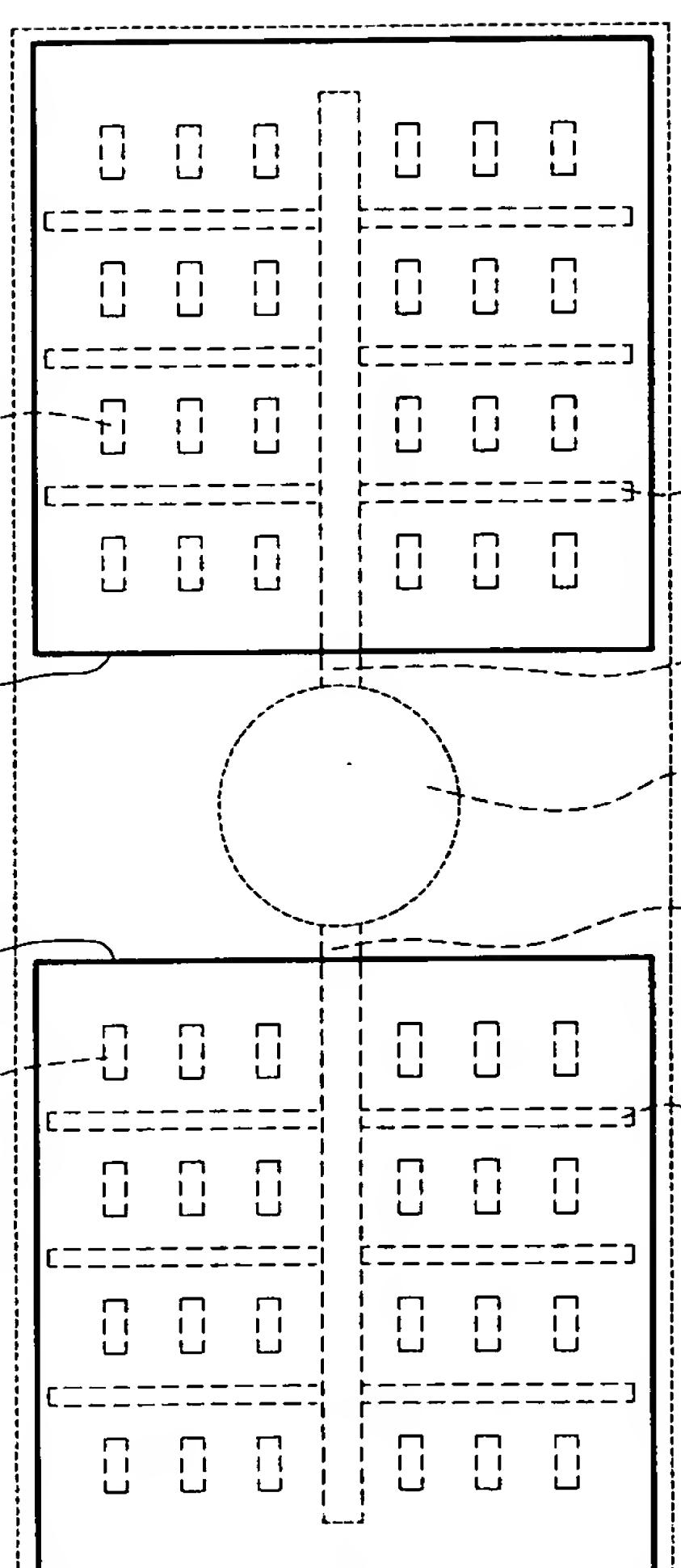
第 1B 圖



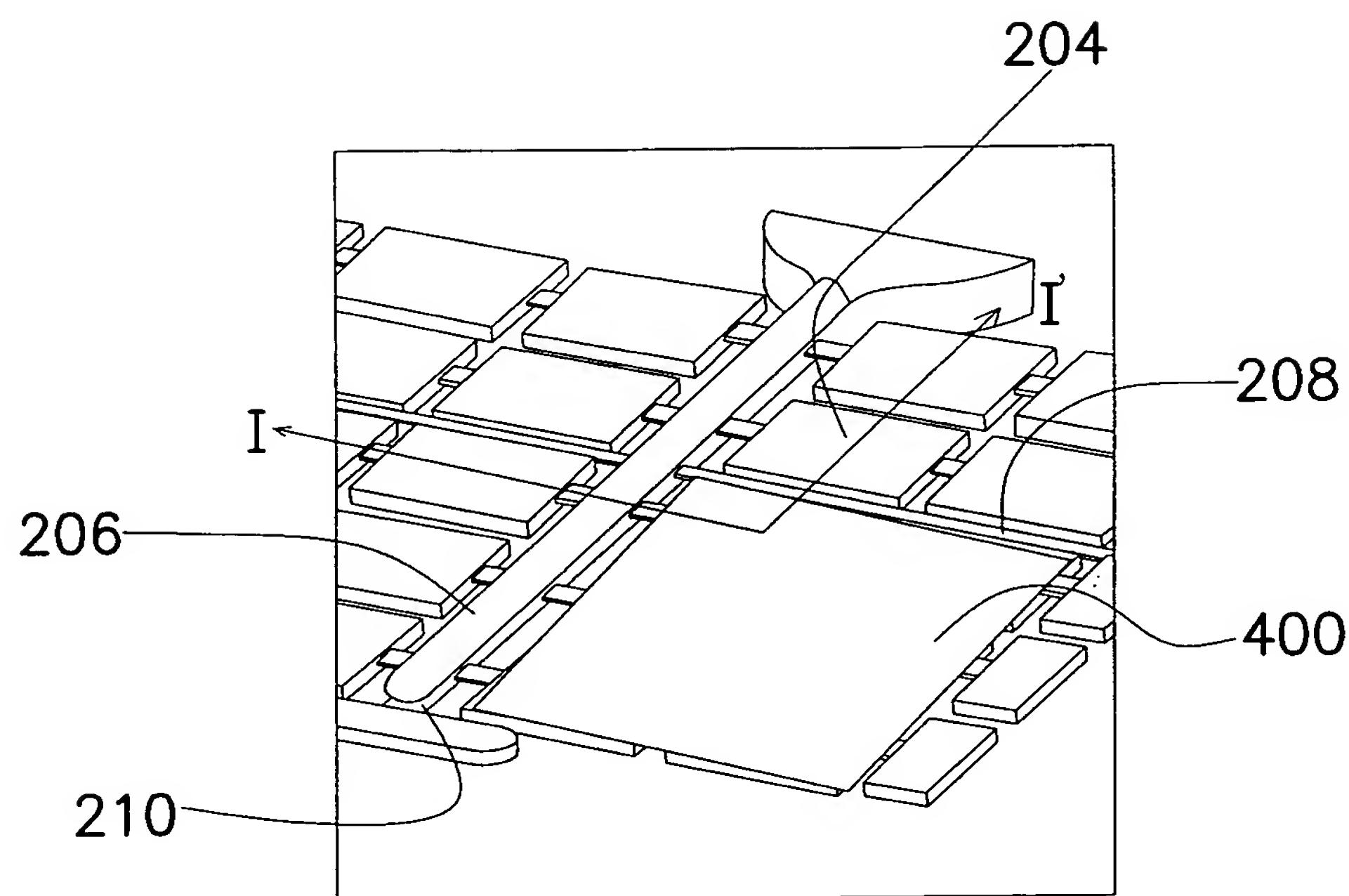
第 2A 圖

304 302 306 302 304

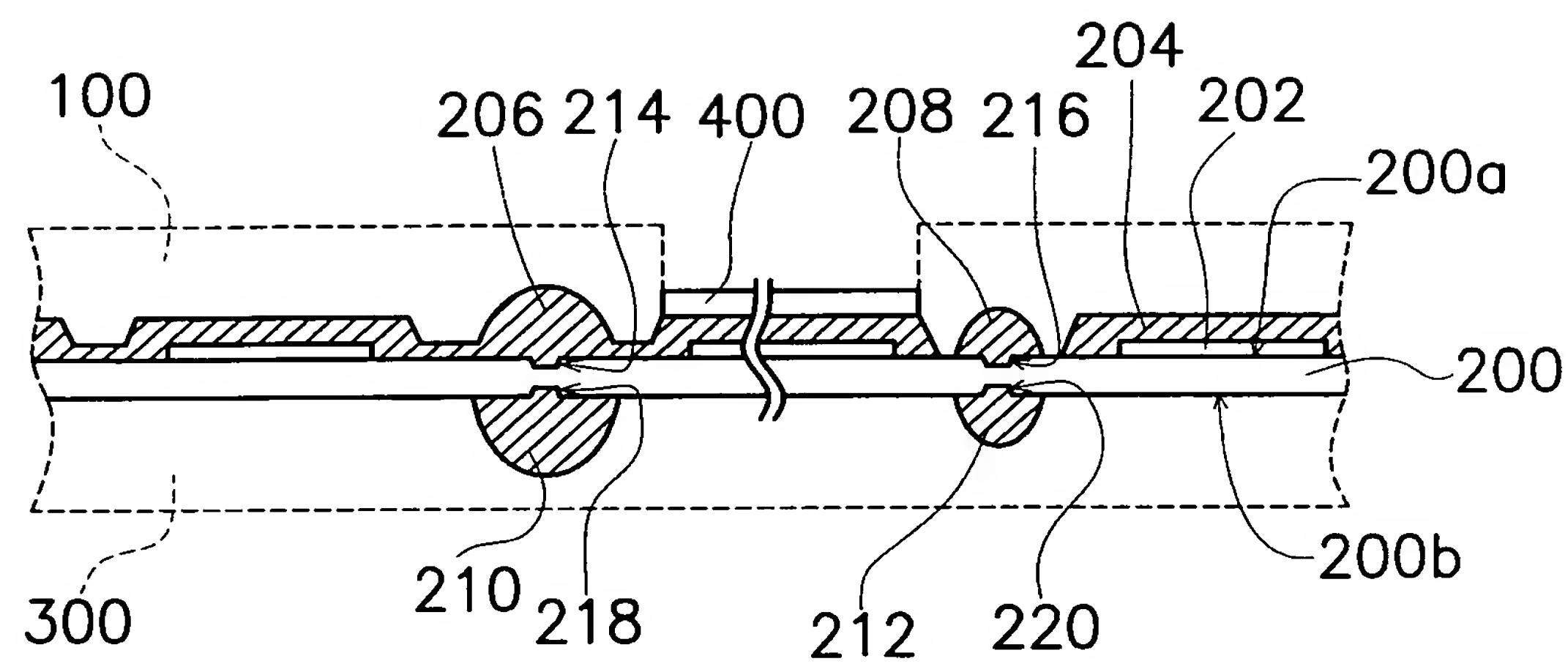
300



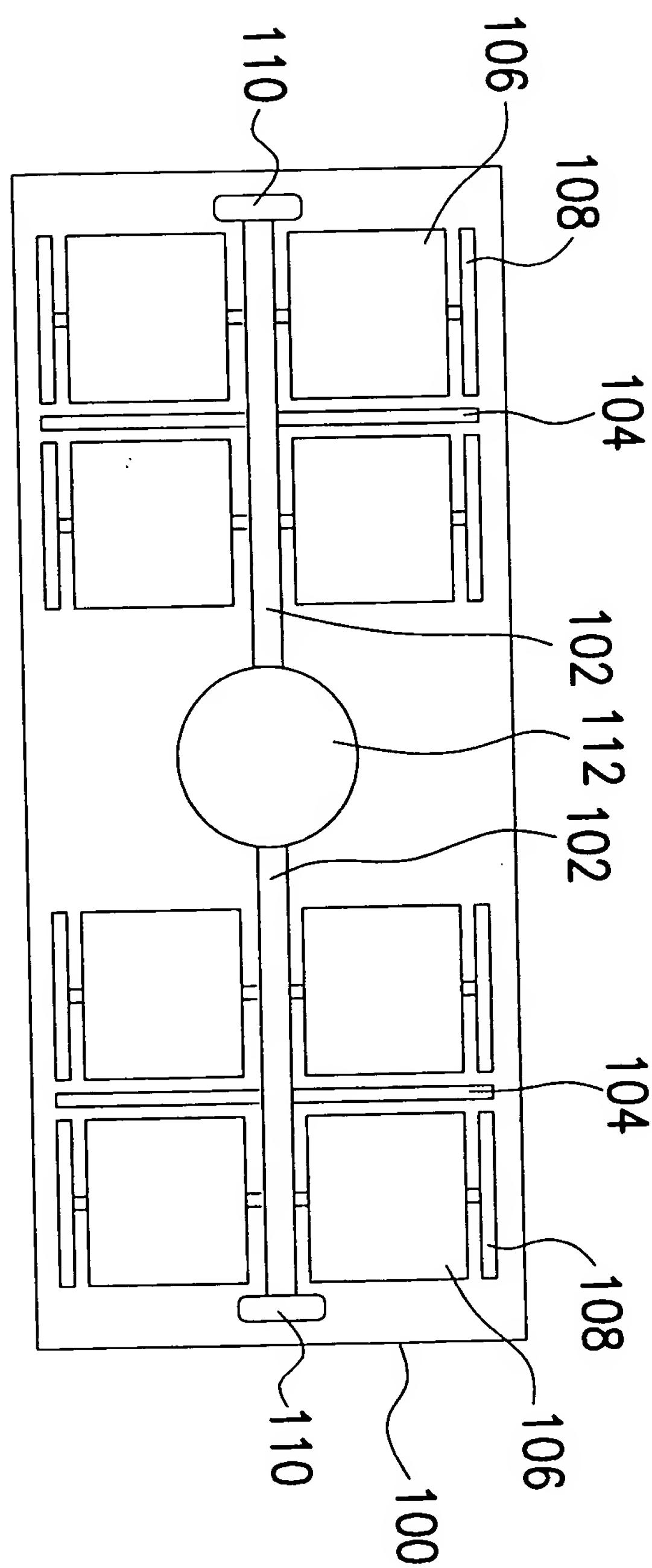
第 2B 圖



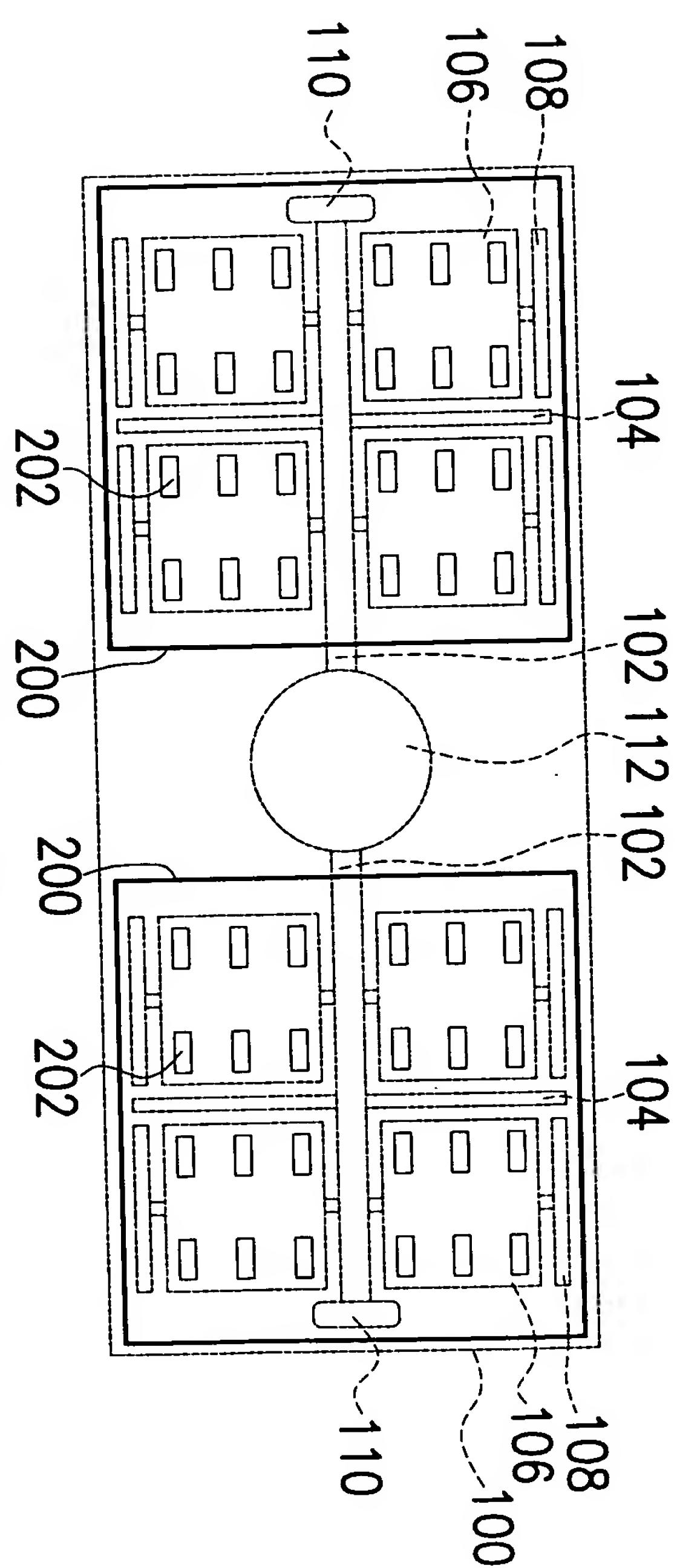
第 3 圖



第 4 圖

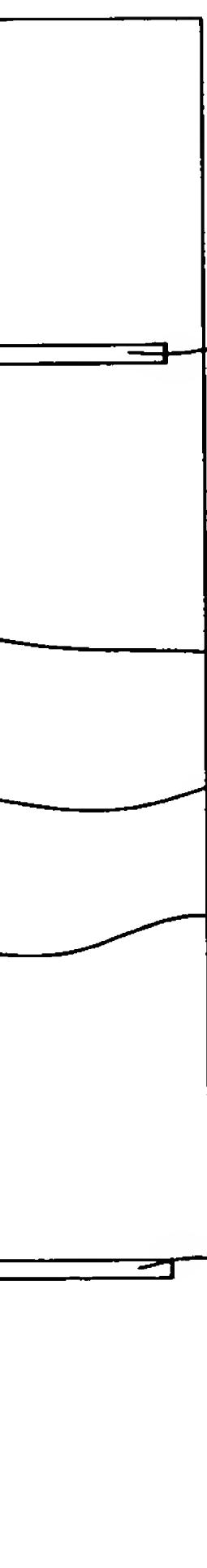


第5A圖



第5B圖

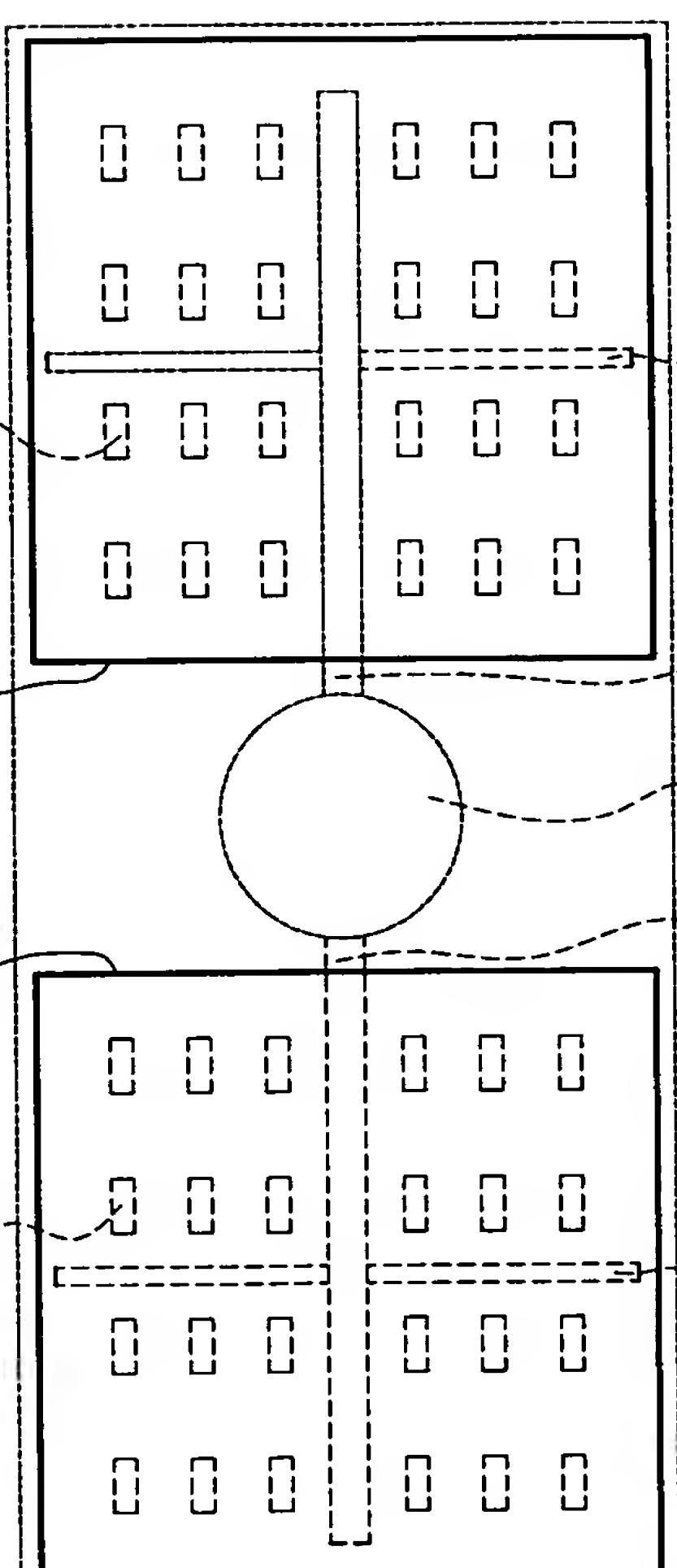
304 302 306 302 304



300

第 6A 圖

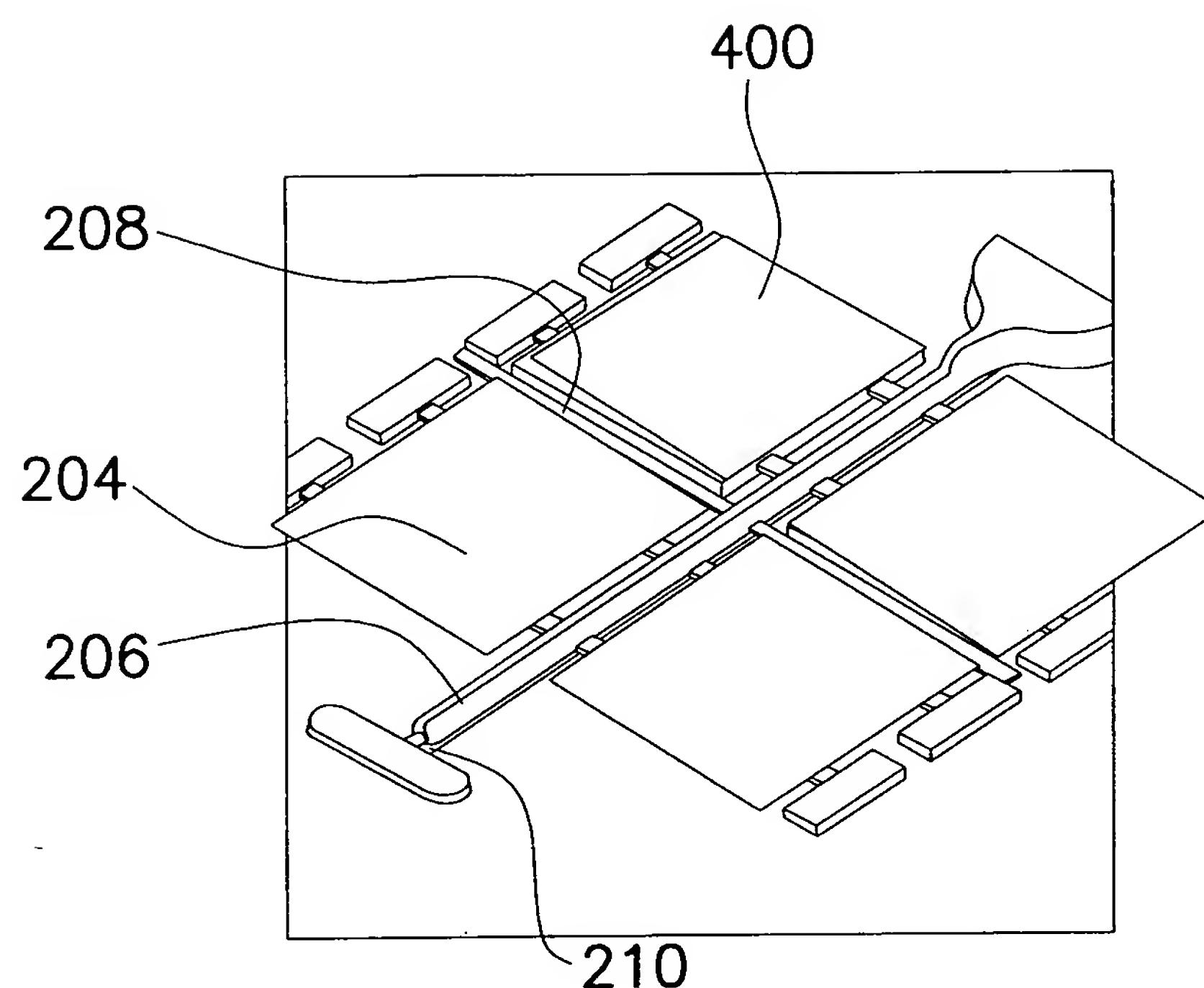
304 302 306 302 304



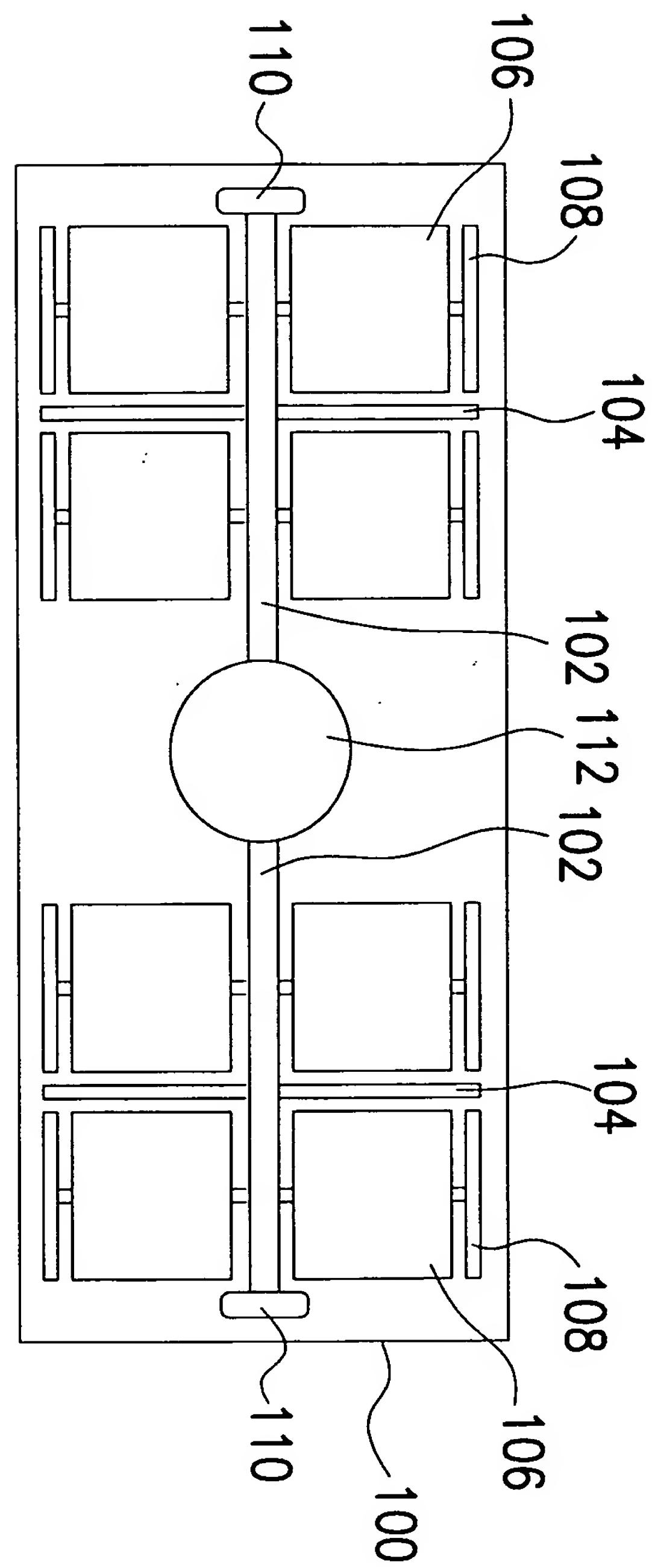
300

第 6B 圖

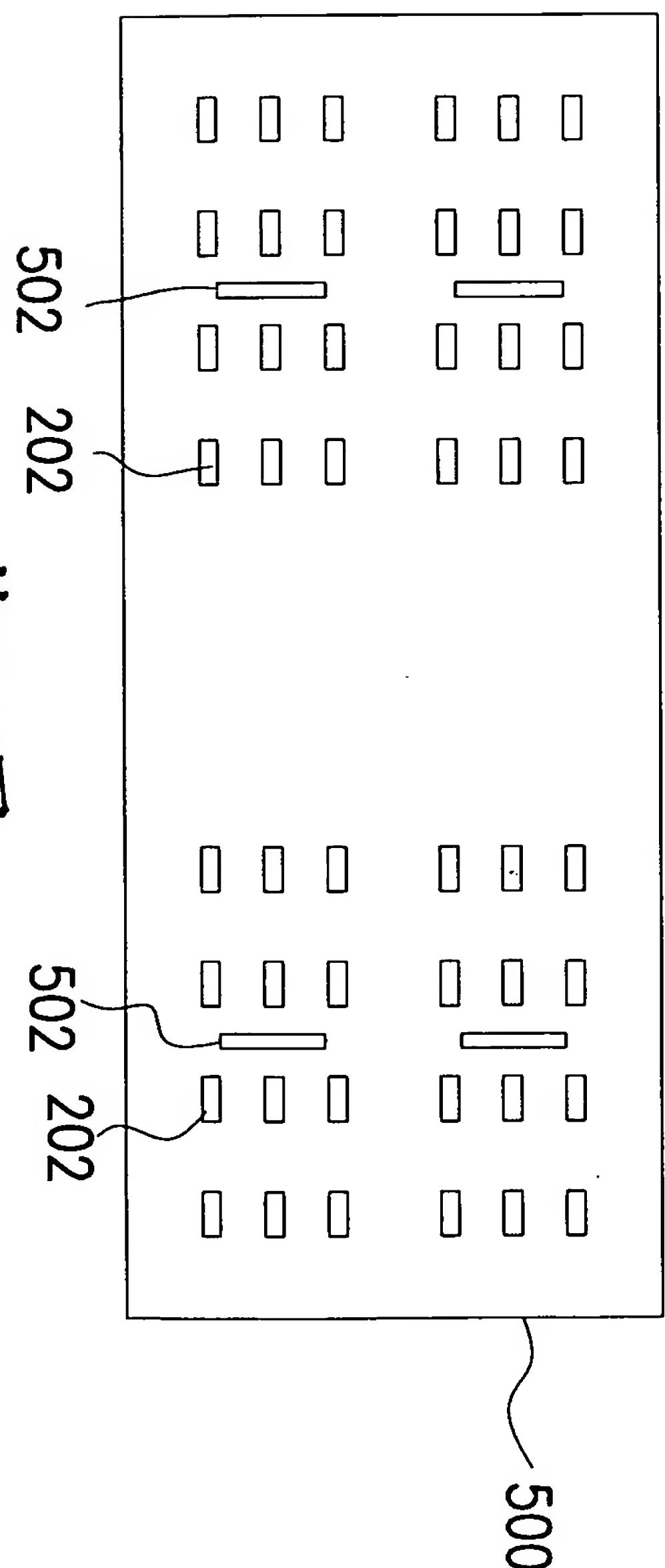
202 200 200 202



第 7 圖



第8A圖



第8B圖

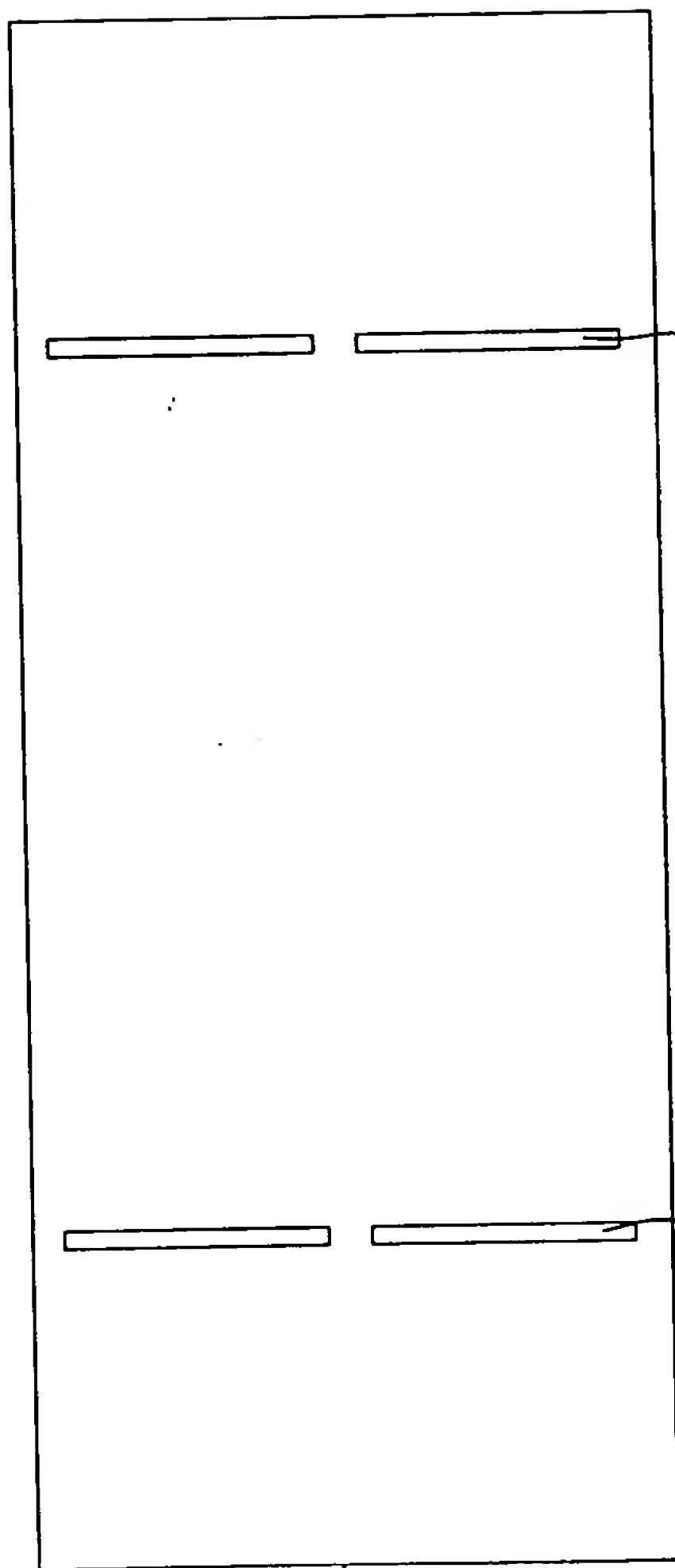
502 202

502 202

304

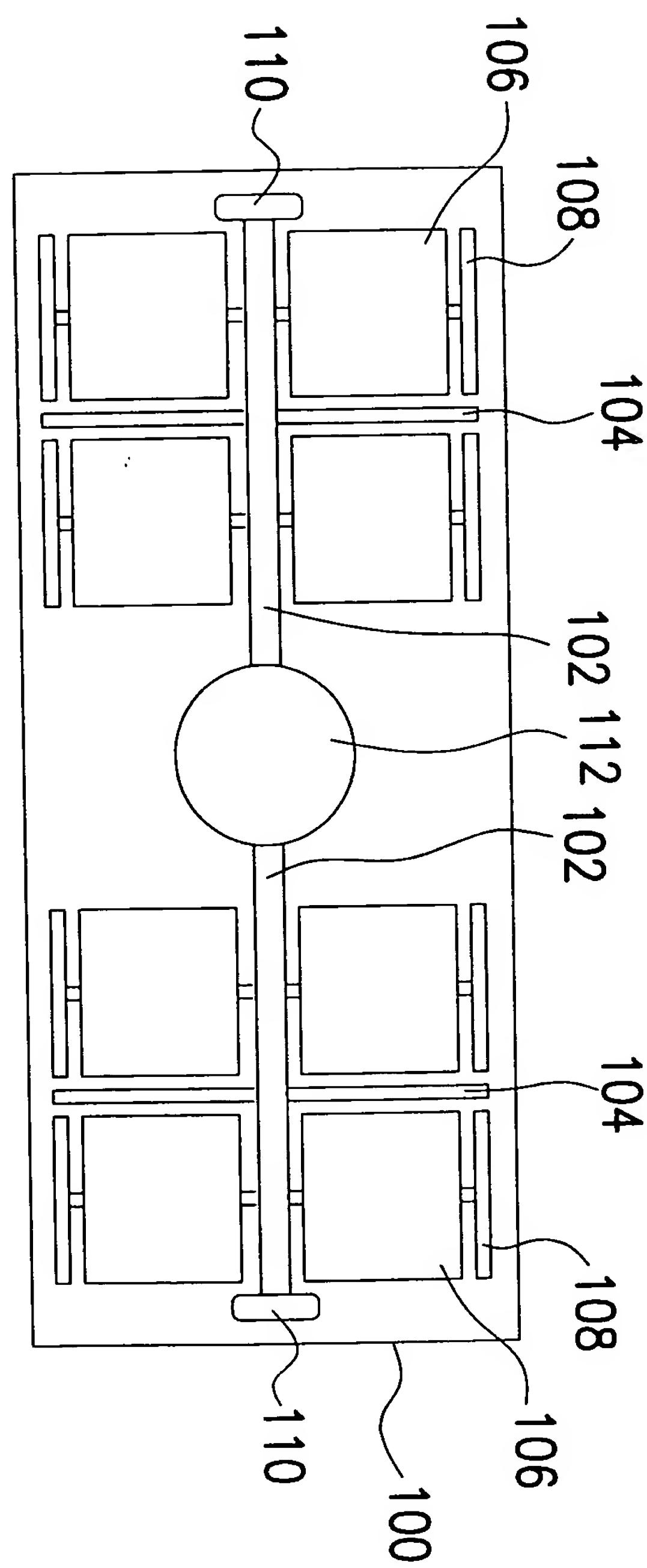
304

300

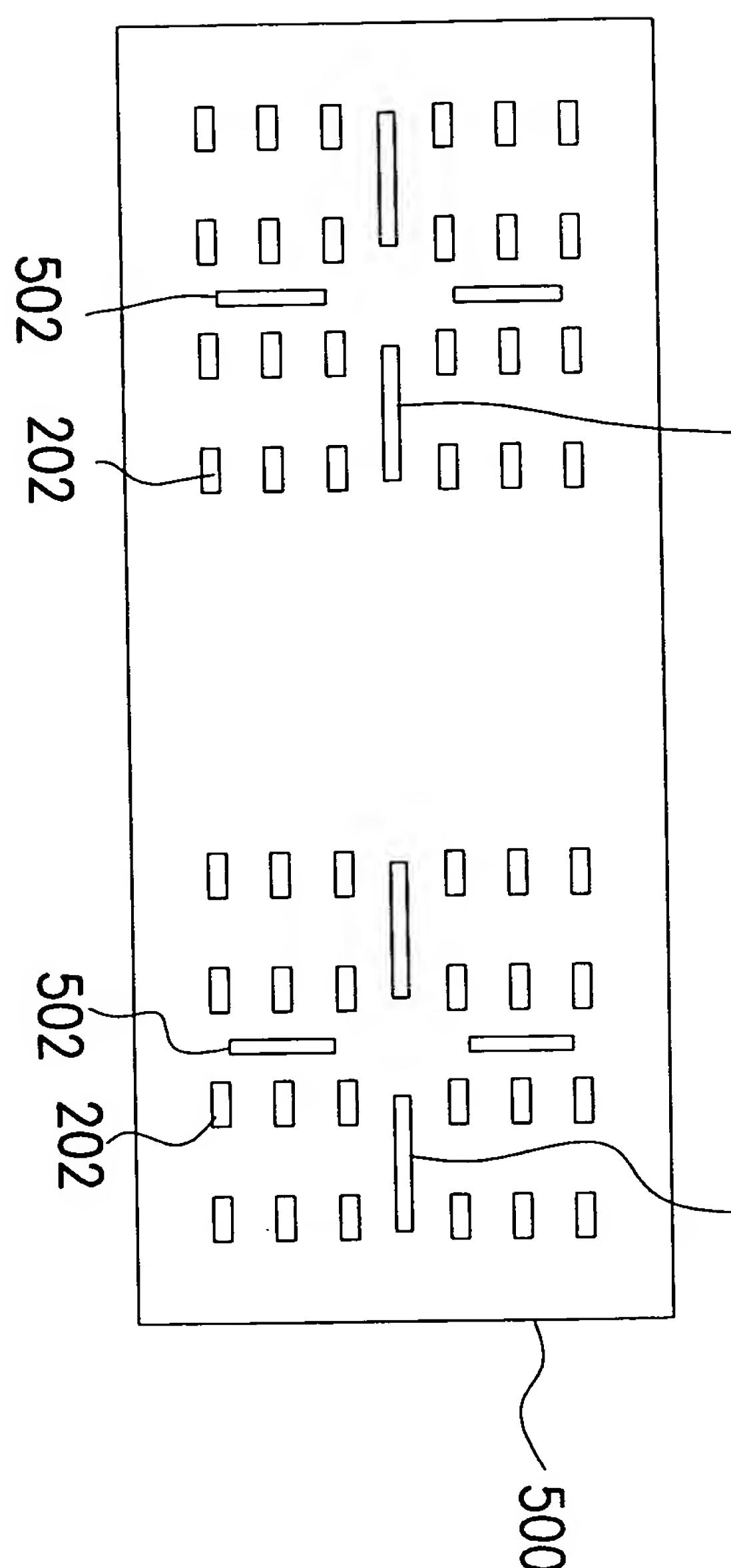


第8C圖

11184 TW



504 第9A圖



第9B圖

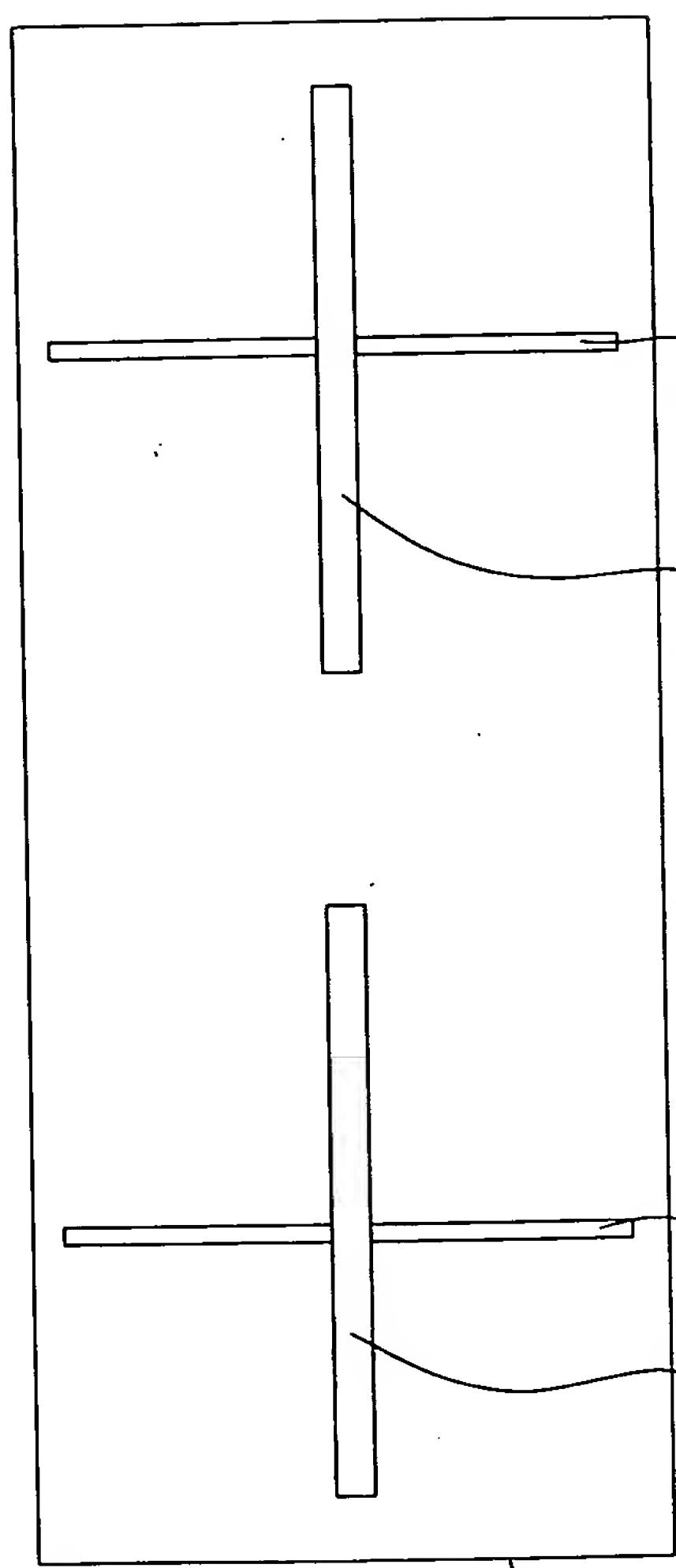
304

302

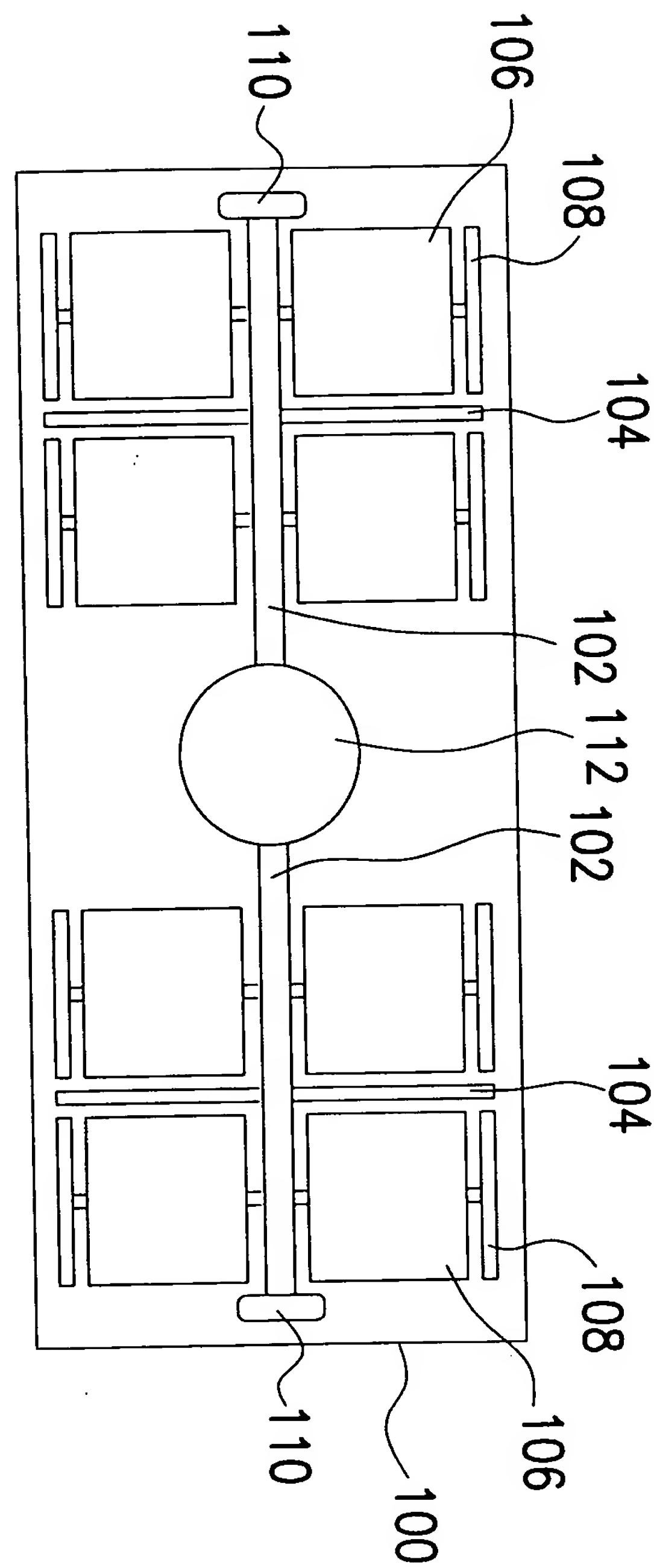
304

302

300

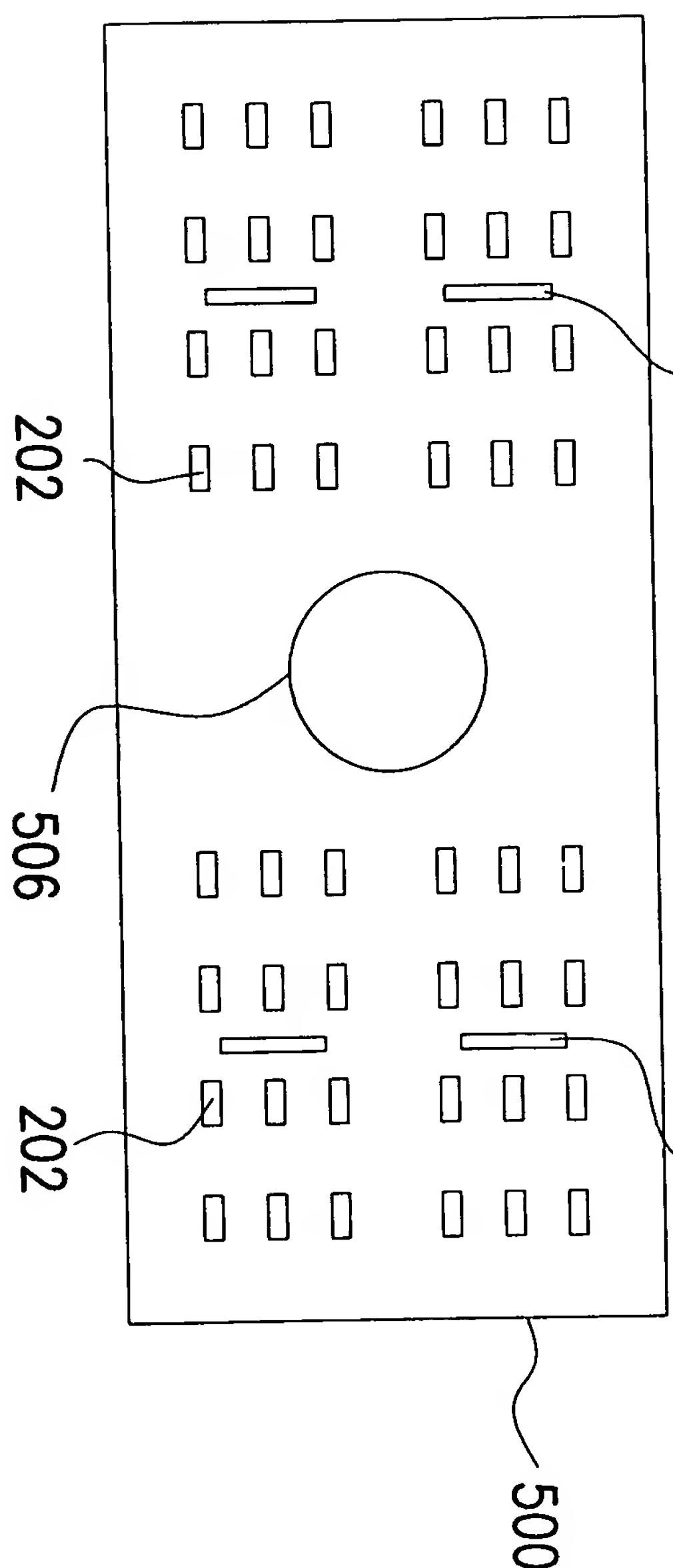


第9C圖

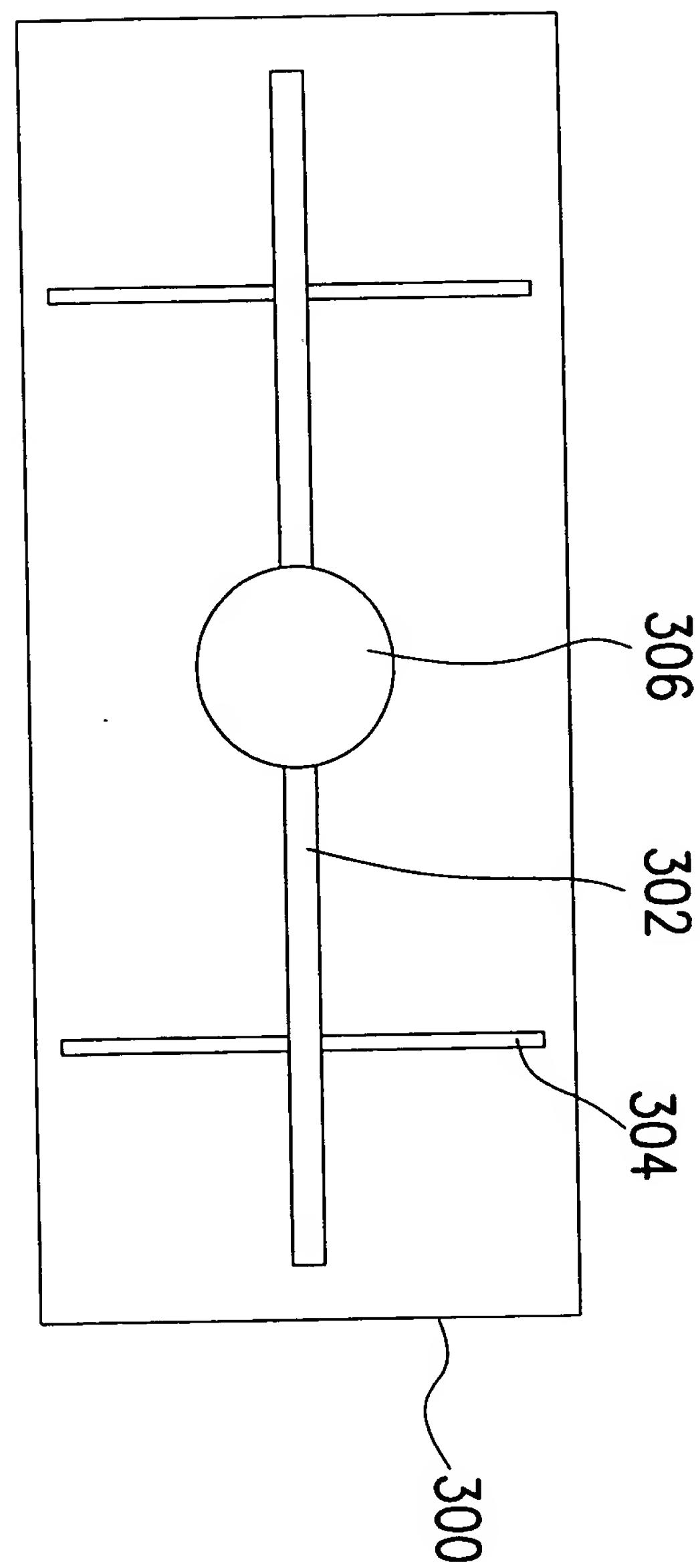


第10A圖

502

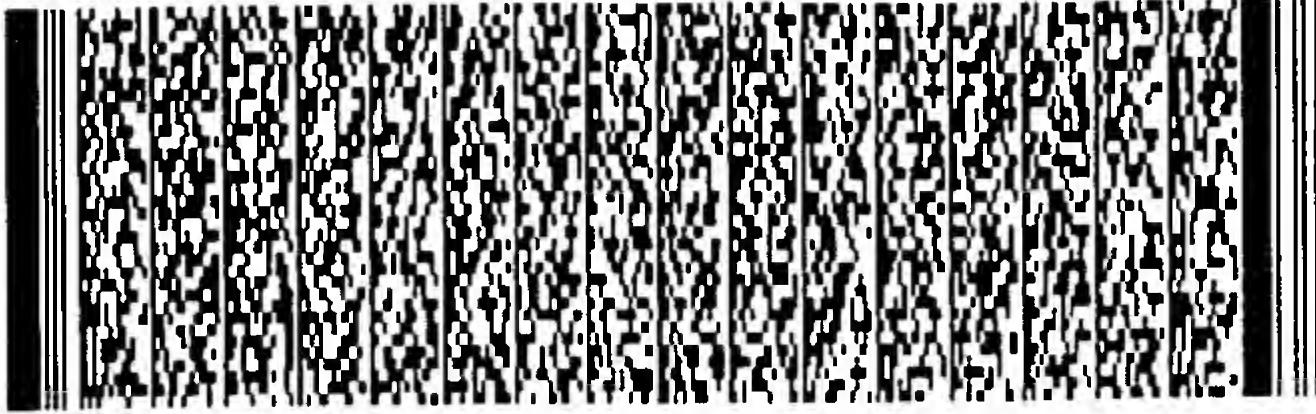


第10B圖



第10C圖

第 1/23 頁



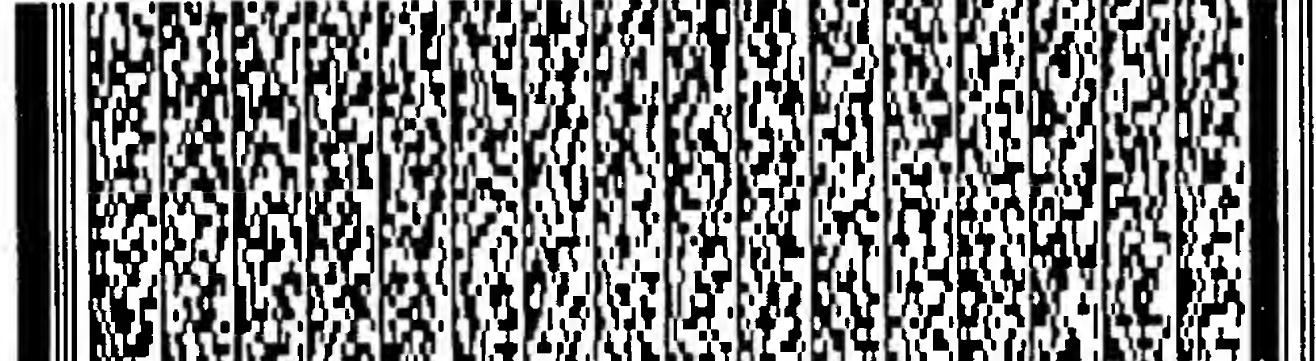
第 3/23 頁



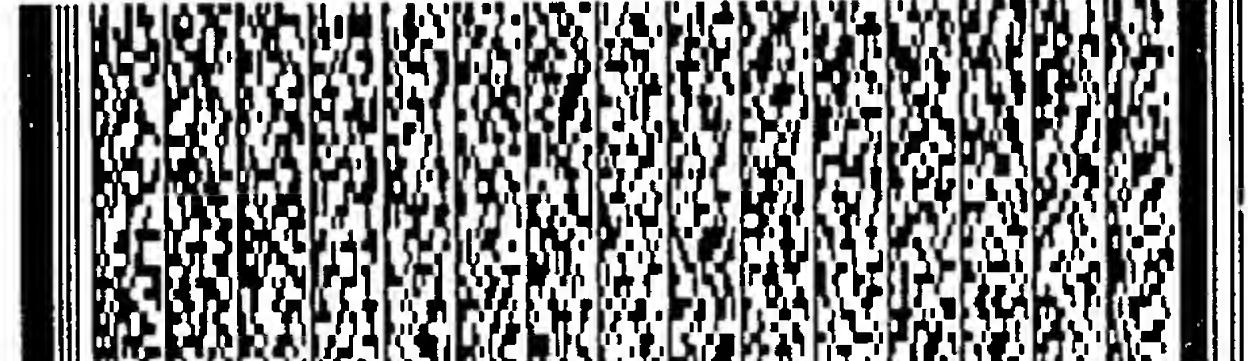
第 4/23 頁



第 6/23 頁



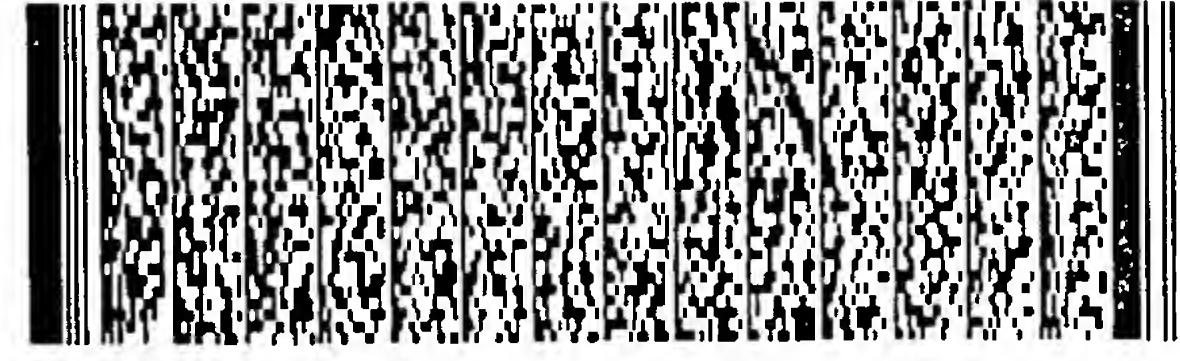
第 7/23 頁



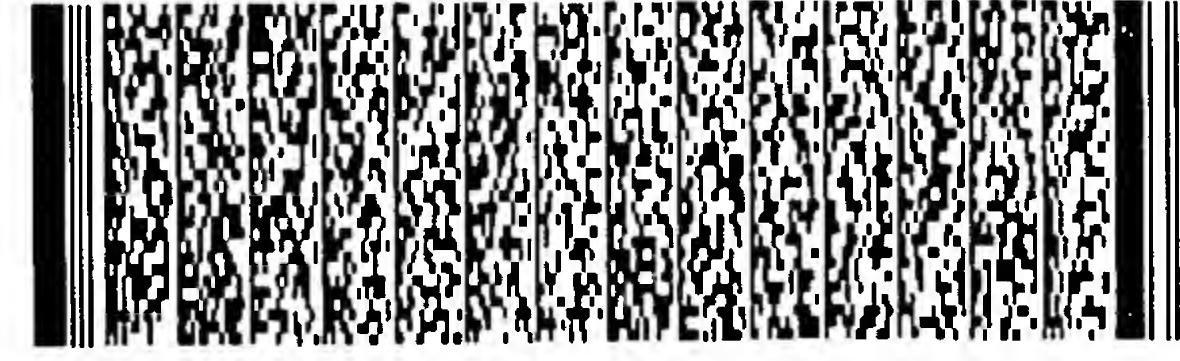
第 8/23 頁



第 9/23 頁



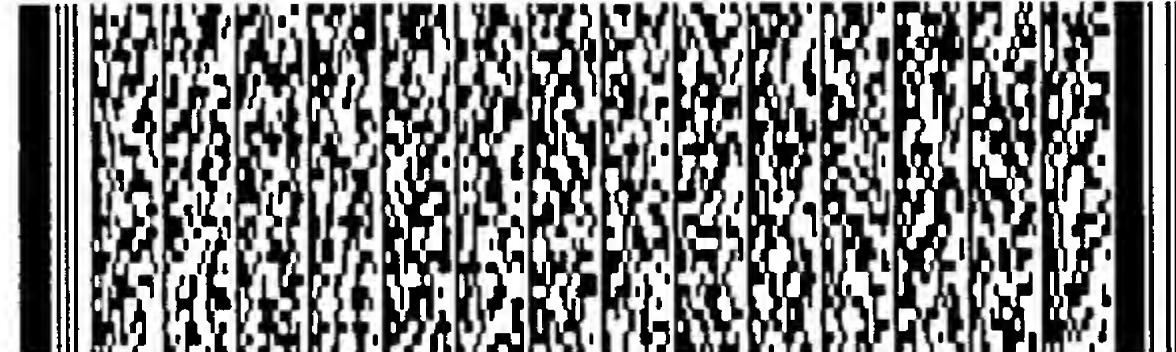
第 10/23 頁



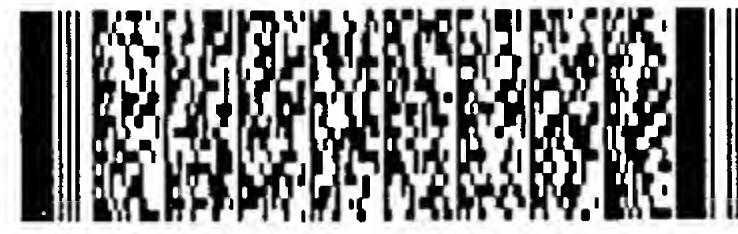
第 2/23 頁



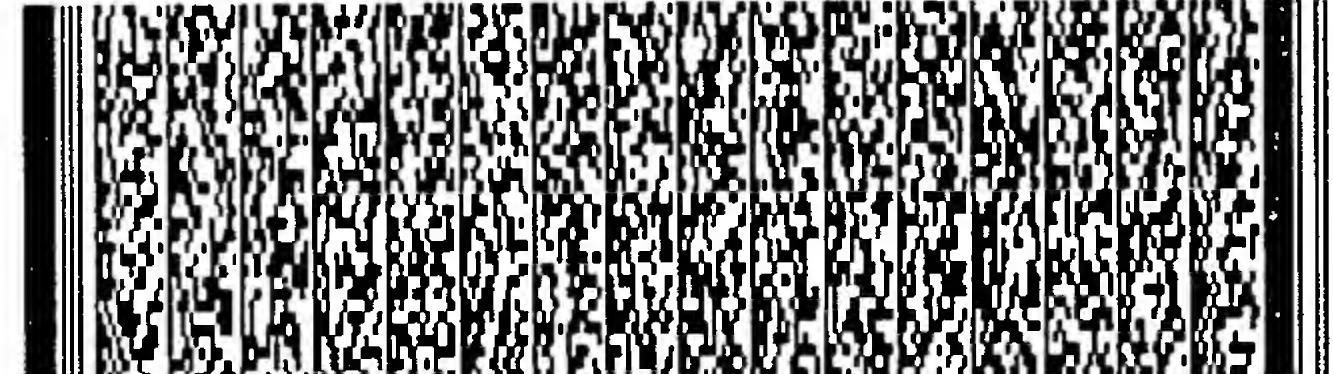
第 3/23 頁



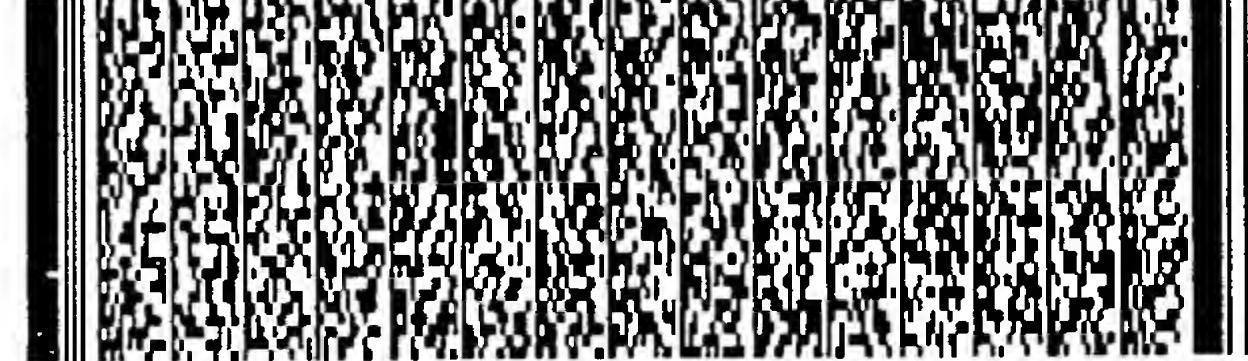
第 5/23 頁



第 6/23 頁



第 7/23 頁



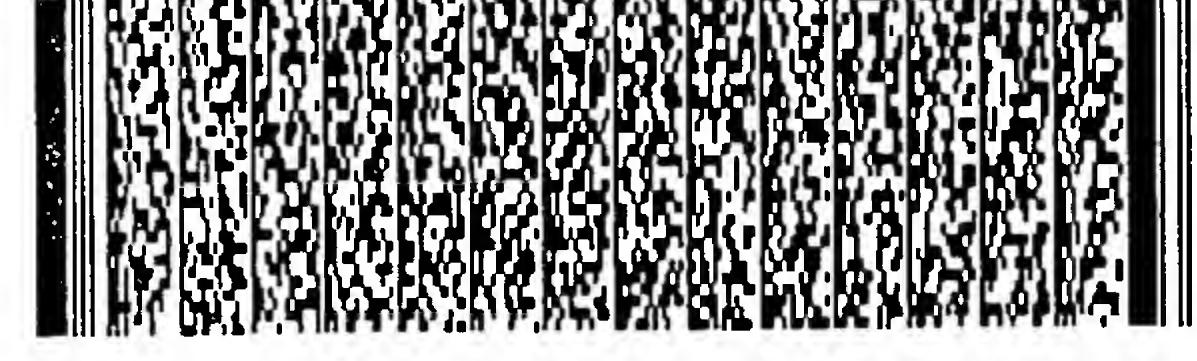
第 8/23 頁



第 9/23 頁



第 10/23 頁



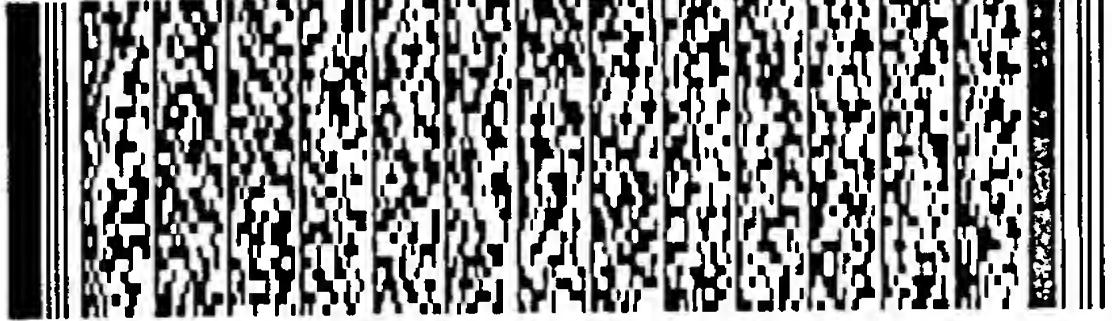
第 11/23 頁



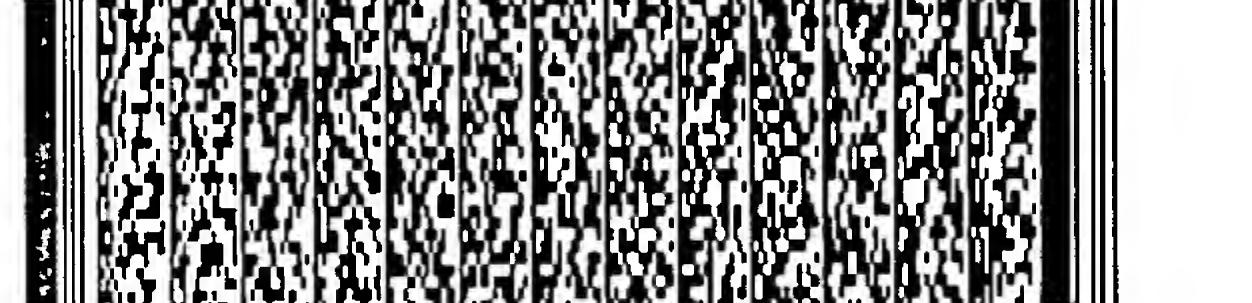
第 11/23 頁



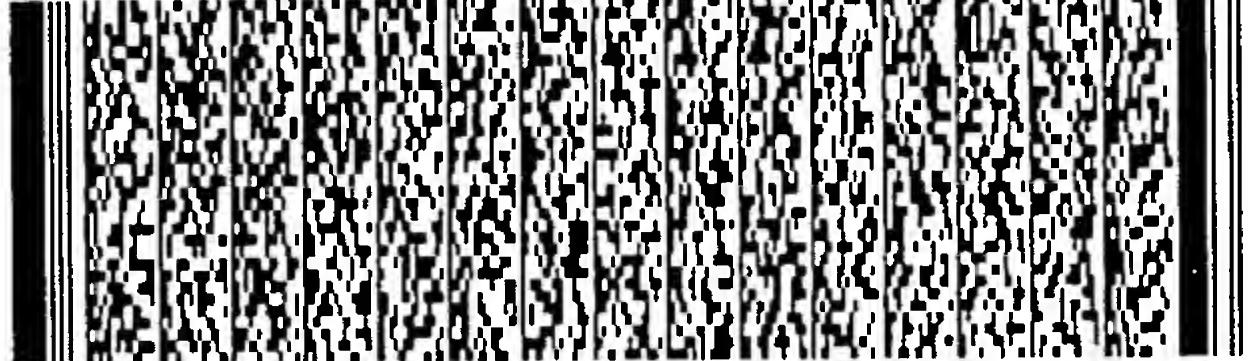
第 12/23 頁



第 12/23 頁



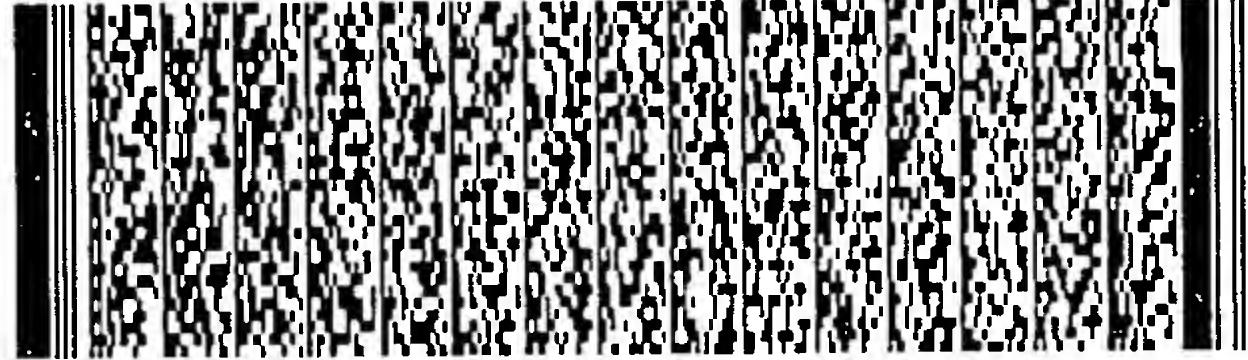
第 13/23 頁



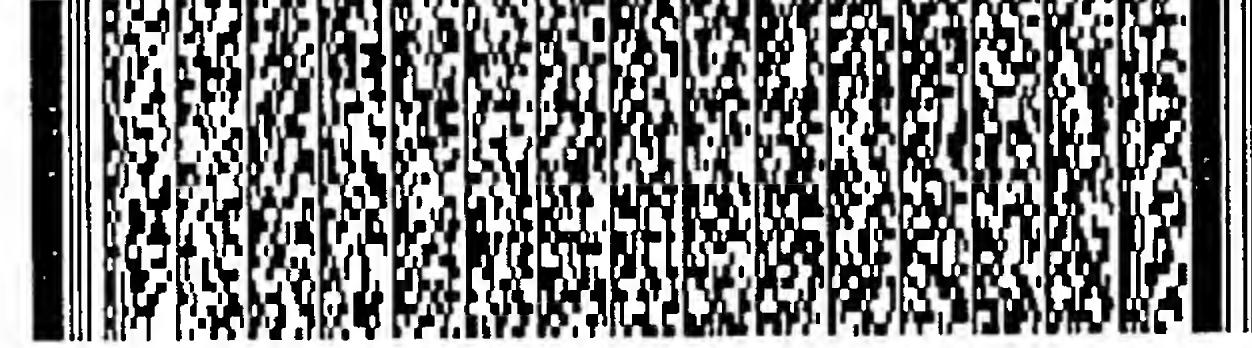
第 13/23 頁



第 14/23 頁



第 14/23 頁



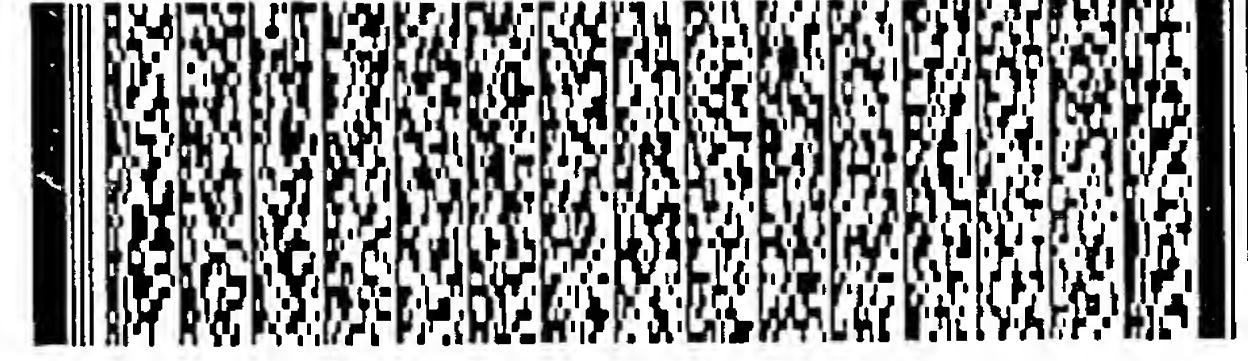
第 15/23 頁



第 15/23 頁



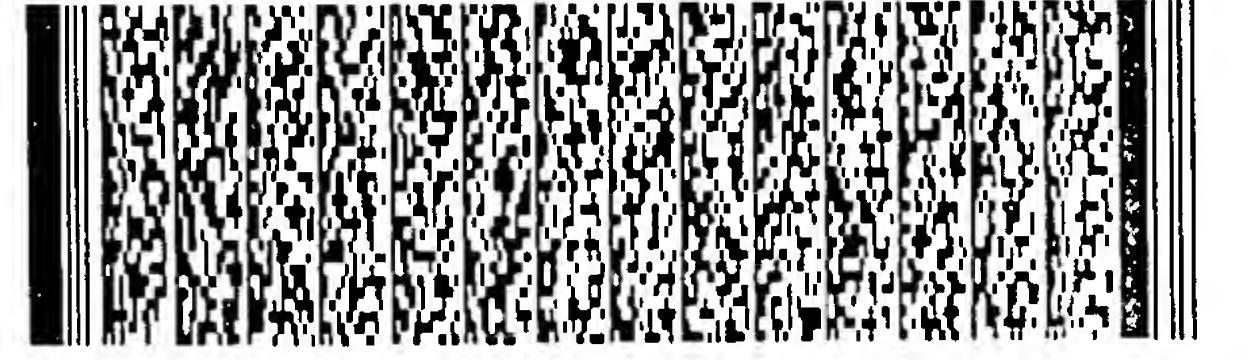
第 16/23 頁



第 16/23 頁



第 17/23 頁



第 17/23 頁



第 18/23 頁

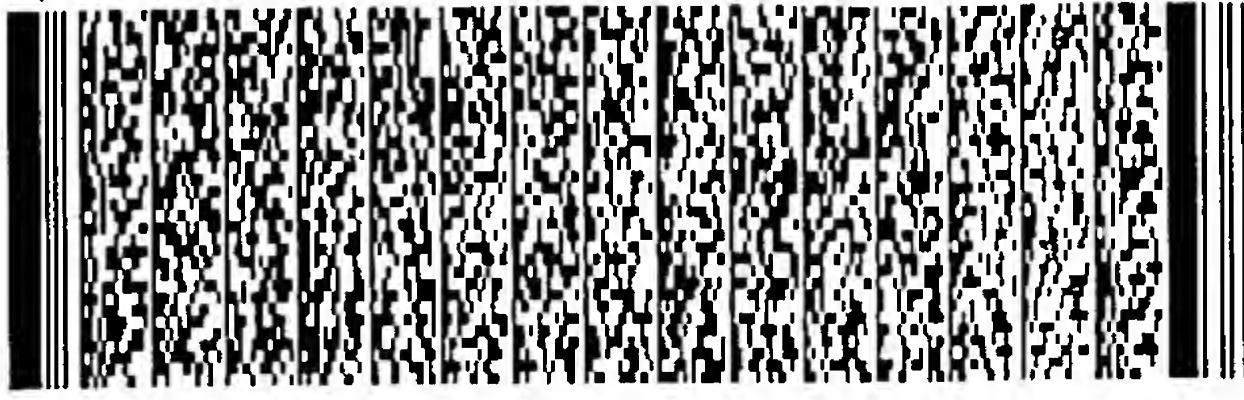


第 18/23 頁



(4.5版)申請案件名稱:半導體元件封膠模具、封膠方法及封裝基材

第 21/23 頁



第 22/23 頁



第 23/23 頁

